



#5  
BT  
8.27-02

XA-9627  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Naoki YADA et al.

Appln. No.: 10/080,681

Group Art Unit: 2824

Filed: February 25, 2002

For: MICROCOMPUTER, PROGRAMMING METHOD AND ERASING METHOD

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:


Applicants hereby claim the priority of Japanese  
Patent Application No. 2001-097808 filed March 30, 2001,  
and submit herewith a certified copy of said application.

Respectfully submitted,

MWS:sjk

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, VA 22102-3833  
Tel: (703) 610-8652

April 26, 2002

By:   
Mitchell W. Shapiro  
Reg. No. 31,568



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-097808

[ST.10/C]:

[JP2001-097808]

出 願 人

Applicant(s):

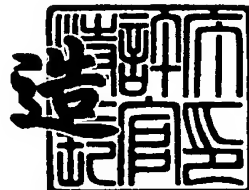
株式会社日立製作所

日立北海セミコンダクタ株式会社

2002年 3月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3018650

【書類名】 特許願  
【整理番号】 H01002241  
【提出日】 平成13年 3月30日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 12/16  
【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコ  
ンダクタ株式会社内

【氏名】 矢田 直樹

【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコ  
ンダクタ株式会社内

【氏名】 石川 栄一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 日立北海セミコンダクタ株式会社

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ、書き込み方法及び消去方法

【特許請求の範囲】

【請求項 1】 消去及び書き込み可能な不揮発性メモリと、CPUとを有し

前記CPUは、消去動作のための消去電圧又は書き込み動作のための書き込み電圧の印加とペリファイ動作とを含む単位処理のサイクル毎又は複数サイクル毎に、第1レジスタ手段に設定された情報が示す処理に一時的に分岐可能にされ、前記第1レジスタ手段はプログラマブルに情報設定可能にされて成るものであることを特徴とするマイクロコンピュータ。

【請求項 2】 前記CPUは、前記第1レジスタ手段に設定された情報が第1設定値であるとき前記分岐する処理をスキップし、第1設定値以外のとき当該値に基づいて指定される処理に分岐することを特徴とする請求項1記載のマイクロコンピュータ。

【請求項 3】 CPUによりリード・ライト可能な第2レジスタ手段（KEY）を有し、前記不揮発性メモリは第2レジスタ手段に第2設定値が設定されることを消去及び書き込み動作を可能にするための必要条件とし、

前記CPUは、前記分岐するとき、前記第2レジスタ手段に第2設定値以外の値を設定し、分岐からの復帰毎に、第2レジスタ手段に第2設定値を設定することを特徴とする請求項1又は2記載のマイクロコンピュータ。

【請求項 4】 前記第2設定値以外の値は、消去及び書き込み処理の進捗状態を示すコード情報であることを特徴とする請求項3記載のマイクロコンピュータ。

【請求項 5】 割込み要求信号を入力し、競合する割込要求の調停と割込み優先レベルによる割込みマスク処理を行ってCPUに割込み信号を出力する割込み制御回路を有し、前記CPUは消去及び書き込みを行なうとき、マスク不可能な割込みよりも割込み優先レベルの低い割込みをマスクさせる設定を割込み制御回路に行うことを特徴とする請求項1又は2記載のマイクロコンピュータ。

【請求項 6】 前記CPUは消去及び書き込みを行なうとき、マスク不可能な

割込み要求に対する割込み処理ルーチンの所在をRAMのアドレスに変更する処理を行うものであることを特徴とする請求項5記載のマイクロコンピュータ。

【請求項7】 消去及び書き込み可能な不揮発性メモリと、CPUとを有し

前記不揮発性メモリは、前記CPUが実行して前記不揮発性メモリを消去及び書き込み制御するための消去及び書き込み制御プログラムを保有し、

前記消去及び書き込み制御プログラムは、消去動作のための消去電圧又は書き込み動作のための書き込み電圧の印加とペリファイ動作とを含む単位処理サイクル毎又は複数サイクル毎に、CPUの処理を、別の処理に一時的に分岐可能とし、

前記CPUは第1レジスタ手段の設定値によって前記分岐可能な別の処理を指示するものであることを特徴とするマイクロコンピュータ。

【請求項8】 前記第1レジスタ手段はCPUの汎用レジスタの中から選ばれたレジスタであることを特徴とする請求項7記載のマイクロコンピュータ。

【請求項9】 CPUのアドレス空間に配置されたRAMを更に有し、前記不揮発性メモリは前記消去及び書き込み制御プログラムをRAMに転送する転送制御プログラムを有し、CPUは、前記RAMに転送された前記消去及び書き込み制御プログラムに対し、第1レジスタ手段の設定値に基づき前記分岐可能な別の処理へのパラメータに設定を行なって、当該消去及び書き込み制御プログラムを実行することを特徴とする請求項7又は8記載のマイクロコンピュータ。

【請求項10】 電氣的に書き込み可能な複数のメモリセルを含む不揮発性メモリと、

前記不揮発性メモリに対する書き込み制御プログラムを実行可能な中央処理装置と、を有し、

前記中央処理装置は、前記書き込み制御プログラムの実行中に、前記書き込み制御プログラムと異なる第1制御プログラムの処理へ一時的に分岐可能であることを特徴とするマイクロコンピュータ。

【請求項11】 前記書き込み制御プログラムは、前記電氣的に書き込み可能な複数のメモリセルのうち指定されたメモリセルに対して情報の書き込みを行う場合、複数回の書き込み処理ループを実行して前記指定されたメモリセルへ情

報を書き込む処理を規定し、

前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第 1 制御プログラムへ分岐可能にされることを特徴とする請求項 1 0 記載のマイクロコンピュータ。

【請求項 1 2】 前記中央処理装置によって書き込み可能な第 1 記憶回路を、さらに、有し、

前記第 1 記憶回路が前記中央処理装置によって第 1 設定値に設定された場合、前記中央処理装置の処理は前記書き込み制御プログラムを継続して実行し、

前記第 1 記憶回路が前記中央処理装置によって前記第 1 設定値と異なる第 2 設定値に設定された場合、前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第 1 制御プログラムへ分岐されることを特徴とする請求項 1 1 記載のマイクロコンピュータ。

【請求項 1 3】 複数のメモリセルの各々は、フローティングゲートを有する電氣的に書き込み及び消去が可能は不揮発性メモリセルであることを特徴とする請求項 1 0 記載のマイクロコンピュータ。

【請求項 1 4】 前記不揮発性メモリは、電氣的に書き込み及び消去可能なフラッシュメモリであることを特徴とする請求項 1 0 記載のマイクロコンピュータ。

【請求項 1 5】 前記不揮発性メモリは、前記書き込み制御プログラムを格納することを特徴とする請求項 1 0 記載のマイクロコンピュータ。

【請求項 1 6】 更に、前記書き込み制御プログラムが前記不揮発性メモリから転送されるメモリを有することを特徴とする請求項 1 5 記載のマイクロコンピュータ。

【請求項 1 7】 電氣的に消去可能な複数のメモリセルを含む不揮発性メモリと、

前記不揮発性メモリに対する消去制御プログラムを実行可能な中央処理装置と、を有し、

前記中央処理装置は、前記消去制御プログラムの実行中に、前記消去制御プログラムと異なる第 1 制御プログラムの処理へ一時的に分岐可能であることを特徴

とするマイクロコンピュータ。

【請求項 18】 前記消去制御プログラムは、前記電氣的に消去可能な複数のメモリセルのうち指定されたメモリセルに対して情報の消去を行う場合、複数の回の消去処理ループを実行して前記指定されたメモリセルへ情報を消去する処理を規定し、

前記中央処理装置の処理は、前記消去処理ループ毎に、前記第 1 制御プログラムへ分岐可能にされることを特徴とする請求項 17 記載のマイクロコンピュータ。

【請求項 19】 前記中央処理装置によって書き込み可能な第 1 記憶回路を、更に、有し、

前記第 1 記憶回路が前記中央処理装置によって第 1 設定値に設定された場合、前記中央処理装置の処理は前記消去制御プログラムを継続して実行し、

前記第 1 記憶回路が前記中央処理装置によって前記第 1 設定値と異なる第 2 設定値に設定された場合、前記中央処理装置の処理は、前記消去処理ループ毎に、前記第 1 制御プログラムへ分岐されることを特徴とする請求項 18 記載のマイクロコンピュータ。

【請求項 20】 複数のメモリセルの各々は、フローティングゲートを有する電氣的に書き込み及び消去が可能は不揮発メモリセルであることを特徴とする請求項 17 記載のマイクロコンピュータ。

【請求項 21】 前記不揮発性メモリは、電氣的に書き込み及び消去可能なフラッシュメモリであることを特徴とする請求項 17 記載のマイクロコンピュータ。

【請求項 22】 前記不揮発性メモリは、前記消去制御プログラムを格納することを特徴とする請求項 17 記載のマイクロコンピュータ。

【請求項 23】 更に、前記消去制御プログラムが前記不揮発性メモリから転送されるメモリを有することを特徴とする請求項 22 記載のマイクロコンピュータ。

【請求項 24】 電氣的に消去及び書き込み可能な複数のメモリセルを含む不揮発性メモリと、



前記不揮発性メモリに対する消去制御プログラム及び書き込み制御プログラムを実行可能な中央処理装置と、を有し、

前記中央処理装置は、前記書き込み制御プログラムの実行中に、前記書き込み制御プログラムと異なる第1制御プログラムの処理へ一時的に分岐可能にされることを特徴とするマイクロコンピュータ。

【請求項25】 前記書き込み制御プログラムは、前記電氣的に書き込み可能な複数のメモリセルの指定されたメモリセルに対して情報の書き込みを行う場合、複数の回の書き込み処理ループを実行して前記指定されたメモリセルへ情報を書き込む処理を規定し、

前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第1制御プログラムへ分岐可能にされることを特徴とする請求項24記載のマイクロコンピュータ。

【請求項26】 前記マイクロコンピュータは、さらに、前記中央処理装置によって書き込み可能な第1記憶回路を有し、

前記第1記憶回路が前記中央処理装置によって第1設定値に設定された場合、前記中央処理装置の処理は前記書き込み制御プログラムを継続して実行し、

前記第1記憶回路が前記中央処理装置によって前記第1設定値と異なる第2設定値に設定された場合、前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第1制御プログラムへ分岐されることを特徴とする請求項25記載のマイクロコンピュータ。

【請求項27】 複数のメモリセルの各々は、フローティングゲートを有する不揮発性メモリセルであることを特徴とする請求項24記載のマイクロコンピュータ。

【請求項28】 前記不揮発性メモリは、フラッシュメモリであることを特徴とする請求項24記載のマイクロコンピュータ。

【請求項29】 前記不揮発性メモリは、前記書き込み制御プログラムを格納することを特徴とする請求項24記載のマイクロコンピュータ。

【請求項30】 更に、前記書き込み制御プログラムが前記不揮発性メモリから転送されるメモリを有することを特徴とする請求項29記載のマイクロコン

ピュータ。

【請求項 3 1】 前記中央処理装置は、前記消去制御プログラムの実行中に、前記消去制御プログラムと異なる第 1 制御プログラムの処理へ一時的に分岐可能にされることを特徴とする請求項 2 6 に記載のマイクロコンピュータ。

【請求項 3 2】 前記消去制御プログラムは、前記電氣的に消去可能な複数のメモリセルの指定されたメモリセルに対して情報の消去を行う場合、複数の回の消去処理ループを実行して前記指定されたメモリセルへ情報を消去する処理を規定し、

前記中央処理装置の処理は、前記消去処理ループ毎に、前記第 1 制御プログラムへ分岐可能にされることを特徴とする請求項 3 1 に記載のマイクロコンピュータ。

【請求項 3 3】 前記第 1 記憶回路が前記中央処理装置によって前記第 1 設定値に設定された場合、前記中央処理装置の処理は前記消去制御プログラムを継続して実行し、

前記第 1 記憶回路が前記中央処理装置によって前記第 2 設定値に設定された場合、前記中央処理装置の処理は、前記消去処理ループ毎に、前記第 1 制御プログラムへ分岐されることを特徴とする請求項 3 2 に記載のマイクロコンピュータ。

【請求項 3 4】 中央処理装置と電氣的に書き込み可能な不揮発性メモリとを有するマイクロコンピュータにおける前記中央処理装置に書き込み制御プログラムを実行させて前記不揮発性メモリに情報を書き込むための書き込み方法は、

前記不揮発性メモリの書き込みすべきメモリセルのアドレスを供給する第 1 工程と、

前記メモリセルに書き込みべき情報を供給する第 2 工程と、

前記メモリセルに前記書き込みべきデータを繰り返し書き込む第 3 工程を有し、

前記第 3 工程は、前記メモリセルに書き込み電圧を印可する電圧印可工程と、前記メモリセルに前記書き込みすべきデータが書き込まれたか否かを確認するベリファイ工程と、

所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に

、前記レジスタに設定された値に対応する所定の処理へ前記中央処理装置の処理を移行させる工程と、

前記中央処理装置の処理を前記所定の処理から前記第 3 工程へ復帰させる工程とを含むことを特徴とする書き込み方法。

【請求項 3 5】 中央処理装置と電氣的に消去可能な不揮発性メモリとを有するマイクロコンピュータにおける前記中央処理装置に消去プログラムを実行させて前記不揮発性メモリの所定のメモリセルに記憶された情報を消去するための消去方法は、

前記不揮発性メモリの消去すべきメモリセルのアドレスを供給する第 1 工程と

前記メモリセルから前記情報を消去する第 2 工程を有し、

前記第 2 工程は、前記メモリセルに消去電圧を印可する電圧印可工程と、前記メモリセルから前記情報が消去されたか否かを確認するペリファイ工程と、所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に、前記レジスタに設定された値に対応する所定の処理に前記中央処理装置の処理を移行させる工程と、

前記中央処理装置の処理を前記所定の処理から前記第 2 工程へ復帰させる工程とを含むことを特徴とする消去方法。

【請求項 3 6】 中央処理装置と電氣的に書き込み可能な不揮発性メモリとを有するマイクロコンピュータを基板に実装した後、前記中央処理装置に書き込み制御プログラムを実行させて前記不揮発性メモリの所定のメモリセルに情報を書き込み方法は、

前記不揮発性メモリの書き込みすべきメモリセルのアドレスを供給する第 1 工程と、

前記メモリセルに書き込みべき情報を供給する第 2 工程と、

前記メモリセルに前記書き込みべきデータを繰り返し書き込む第 3 工程を有し

前記第 3 工程は、前記メモリセルに書き込み電圧を印可する電圧印可工程と、前記メモリセルに前記書き込みすべきデータが書き込まれたか否かを確認するべ

リファイ工程と、

所定の処理へ前記中央処理装置の処理を移行させる工程と、

前記中央処理装置の処理を前記所定の処理から前記第 3 工程へ復帰させる工程とを含むことを特徴とする書き込み方法。

【請求項 3 7】 所定の処理へ前記中央処理装置の処理を移行させる前記工程は、所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に、前記レジスタに設定された値に対応する前記所定の処理へ移行させる工程を含むことを特徴とする請求項 3 6 記載の書き込み方法。

【請求項 3 8】 中央処理装置と電氣的に消去可能な不揮発性メモリとを有するマイクロコンピュータを基板に実装した後、前記中央処理装置に消去プログラムを実行させて前記不揮発性メモリの所定のメモリセルに記憶された情報を消去するための消去方法は、

前記不揮発性メモリの消去すべきメモリセルのアドレスを供給する第 1 工程と

前記メモリセルから前記情報を消去する第 2 工程を有し、

前記第 2 工程は、前記メモリセルに消去電圧を印可する電圧印可工程と、

前記メモリセルから前記情報が消去されたか否かを確認するベリファイ工程と、

所定の処理に前記中央処理装置の処理を移行させる工程と、

前記中央処理装置の処理を前記所定の処理から前記第 2 工程へ復帰させる工程とを含むことを特徴とする消去方法。

【請求項 3 9】 所定の処理に前記中央処理装置の処理を移行させ前記工程は、所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に、前記レジスタに設定された値に対応する前記所定の処理へ移行させる工程を含むことを特徴とする請求項 3 8 記載の消去方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電氣的に消去及び書き込み可能な不揮発性メモリと CPU（中央処理装置）を有するマイクロコンピュータ、特に前記不揮発性メモリに対する消去

及び書き込み制御に関し、例えばフラッシュメモリを有するワンチップのマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

フラッシュメモリなどの電氣的に消去及び書き込み可能な不揮発性メモリはメモリセルにプログラムされる閾値電圧の相違に応じて情報を記憶する。フラッシュメモリにおいてその閾値電圧の相違は、フローティングゲートが保有する電子又は正孔の量の相違によって実現される。例えば熱平衡状態の閾値電圧に対して相対的に高い閾値電圧状態を書き込み状態、相対的に低い閾値電圧状態を消去状態と称する（逆の定義も可能である）。このとき、メモリセルを消去状態にする消去及びメモリセルを書き込み状態にする書き込みの各動作では、高電圧パルスの印加、それによる閾値電圧状態のペリファイを繰返し行うことが必要になる。

【0003】

フラッシュメモリがオンチップされたマイクロコンピュータにおいて、オンチップフラッシュメモリに消去及び書き込みを可能にする動作モードとしてライターモード及びブートモードを有するものが有る。ライターモードとは、マイクロコンピュータを見掛け上、フラッシュメモリチップと等価とし、EPROMライターのような書き込み装置に接続して、消去及び書き込みを可能にする動作モードである。ブートモードは、マイクロコンピュータがシステムに実装された状態で調歩同期などのシリアルインタフェースを介して実装システムとの通信を確立させて消去及び書き込みを可能にする動作モードである。システム実装前にオンチップフラッシュメモリにプログラムやデータを初期的に書き込む場合にはライターモードを利用できるが、システム実装後に、プログラムのバージョンアップやデータのチューニングのためのオンチップフラッシュメモリの記憶情報を書き換えるにはブートモードを利用することが必要になる。また、フラッシュメモリのユーザ領域に格納したユーザ制御プログラムを実行することにより、オンボードで消去及び書き込みを行なうことも可能である。

【0004】

尚、フラッシュメモリを搭載したマイクロコンピュータについて記載された文

献の例として特開平 5 - 2 6 6 2 1 9 号公報がある。

【 0 0 0 5 】

【発明が解決しようとする課題】

今までのフラッシュメモリオンチップ型マイクロコンピュータは、CPUを動作させてオンチップフラッシュメモリの消去及び書込みを行なう場合、消去又は書込みが終了するまでユーザプログラムに制御を戻すことはなかった。

【 0 0 0 6 】

しかしながら、本発明者の検討によれば、フラッシュメモリの消去／書込み処理に最短で 1 0 m 秒かかるとするなら、その間、CPUは消去／書込み処理を制御しなければならず、CPUにその他の処理をさせることはできない。このため、1 m 秒毎にある端子の状態を確認することが必要なシステムでは、ユーザ制御プログラムを実行中には、消去／書込み処理を行なうことができないという点を見出した。要するに、消去／書込み処理時間よりも短い間隔で発生する事象に回答することが必要なシステムにおいても、その処理中に、必要に応じてフラッシュメモリの消去／書込みを可能にすることの必要性が見出された。尚、本明細書においてユーザとはマイクロコンピュータ等の半導体デバイスの利用者を広義に意味する。したがって、半導体デバイスの製造メーカーが其の半導体デバイスを何らかの意味で使用すれば、其の限りにおいて当該製造メーカーはユーザでもある。

【 0 0 0 7 】

本発明の目的は、消去／書込み処理時間よりも短い間隔で発生する事象に回答することが必要なシステムにおいても、その処理中に、必要に応じてオンチップ不揮発性メモリの消去／書込みを行なうことができるマイクロコンピュータを提供することにある。

【 0 0 0 8 】

本発明の他の目的は、中央処理装置と電氣的に書き込み可能な不揮発性メモリを有するマイクロコンピュータにおいて、前記不揮発性メモリへデータ乃至情報の書き込み処理途中において、前記中央処理装置に、前記書き込み処理以外の処理を実行させることが可能な書き込み方法を提供することにある。

【 0 0 0 9 】

本発明の更に他の目的は、中央処理装置と電氣的に消去可能な不揮発性メモリを有するマイクロコンピュータにおいて、前記不揮発性メモリのデータ乃至情報の消去処理途中において、前記中央処理装置に、前記消去処理以外の処理を実行させることが可能な消去方法を提供することにある。

【 0 0 1 0 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば以下の通りである。

【 0 0 1 2 】

〔 1 〕 電氣的に消去及び書き込み可能な不揮発性メモリに対する消去及び書き込み制御プログラムは、例えば高電圧パルスの印可及びデータベリファイ等のループを含んで構成される。このループの中に、ユーザが指定したアドレスのサブルーチンにジャンプするプログラムを予めプログラミングしておけば、ユーザブランチ即ちユーザが指定したアドレスのサブルーチンにジャンプすることが可能になる。そのサブルーチンを実行した後に、サブルーチンからのリターン命令を実行すれば、元の処理ルーチンに戻ってくるので、消去及び書き込みの処理を途中から継続することが可能になる。

【 0 0 1 3 】

上記より以下の作用効果を得る。（ 1 ）消去及び書き込み制御プログラムは、例えばブートマットの中に格納されている。このプログラムには、ユーザの特定のブランチアドレス（ジャンプ先アドレス）について記述されていない。プログラムを実行する時に、ユーザが引数として、ジャンプ先のアドレスを渡しておけば、そのアドレスをジャンプサブルーチン命令で参照することにより、所望のブランチ先アドレスにジャンプする事が可能となり、書き込み中であっても、ユーザの制御プログラムに、ある一定間隔で制御を戻すことができる。しかも、ソフトウェアで実施しているので、ユーザの制御に戻ってくる間隔をソフトウェアで

変更することも可能である。ジャンプ先は、内蔵RAMや消去及び書き込みを実施していない不揮発性メモリのどこの領域に対して可能にしても差し支えない。(2) 消去及び書き込み中でも、ユーザ制御プログラムに一定間隔で戻ってくることにより、このマクロコンピュータを使用したシステムを長い時間停止させなくても、消去及び書き込みが実施可能になる。したがって、一定期間毎に内外の事象を確認する必要があるシステム、或は学習機能付きのシステム等に対して、ユーザのプログラム実行中に消去及び書き込みを実行していくことが可能である。

## 【0014】

〔2〕本発明の更に詳しい態様に係るマイクロコンピュータは、電氣的に消去及び書き込み可能な不揮発性メモリと、CPUとを有し、前記CPUは、消去動作のための消去電圧又は書き込み動作のための書き込み電圧の印加とペリファイ動作とを含む単位処理サイクル毎又は複数サイクル毎に、第1レジスタ手段(FUBRA)に設定された情報が示す処理に一時的に分岐可能にされ、前記第1レジスタ手段はプログラマブルに情報設定可能にされる。第1レジスタ手段は例えばCPUの汎用レジスタの一つである。前記第1レジスタ手段の設定値による分岐とは、例えば、ジャンプサブルーチン命令でその第1レジスタ手段を直接参照して分岐する手法、或は第1レジスタ手段の設定値に基づいて、ジャンプサブルーチン命令にジャンプ先コードを埋め込む初期化処理を予め行なってから、そのプログラムを実行するようにする手法の何れであってもよい。前者の手法は、その消去及び書き込み制御プログラムのコンパイラが一つの関数内で引数として利用する事ができる汎用レジスタ数の制限範囲内で第1レジスタ手段を参照できる場合に利用するのがよい。そうでなければ、第1レジスタ手段の設定値がスタックされ、当該レジスタを利用するための手続に時間を要してしまうからである。それを避けるには後者の手法を採用すればよい。アセンブラを使用してプログラムの引数を渡す場合は、プログラムの作成の容易性が失われる。

## 【0015】

この態様のマイクロコンピュータにおいても、上記(1)及び(2)の作用効果を得ることができる。

## 【0016】



前記CPUは、前記第1レジスタ手段にライトされている情報が所定値であるとき前記分岐処理をスキップする。分岐の実施及び不実施の制御が容易である。また、分岐のインターバルを可変とする制御も容易である。

## 【0017】

CPUによりリード・ライト可能な第2レジスタ手段(FKEY)を設け、前記不揮発性メモリは第2レジスタ手段に第1設定値が設定されることを消去及び書き込み動作を可能にするための必要条件とし、このとき、前記CPUは、前記分岐するとき、前記第2レジスタ手段に第1設定値以外の値を設定し、分岐からの復帰毎に、第2レジスタ手段に第1設定値を設定させるようにするとよい。これは、ユーザブランチ先でのプログラムの暴走について考慮したものである。すなわち、消去及び書き込み制御プログラムが転送された状態で、CPUの暴走により書き込みイネーブルにされた場合は、フラッシュメモリの記憶情報が破壊される虞が残る。そのような不所望な破壊の虞を少しでも低減させるため、ユーザブランチ先での暴走を考慮し、消去及び書き込みフロー中で実施するユーザブランチ前に、第2レジスタ手段の値を変更して消去及び書き込み動作を可能にするための必要条件を満足させないようにする。これを実施することにより、万が一CPUが暴走しても、第2レジスタ手段の書換えが行われなければ、消去及び書き込み動作は開始されない。

## 【0018】

前記第1設定値以外の値は、消去及び書き込み処理の進捗状態を示すコード情報であってよい。要するに、消去及び書き込みの各処理サイクル間のユーザブランチに対して進捗状態に応ずるコード情報が付される。従って、CPUの暴走などにより間違ってサブルーチンから復帰されたようなときに、その動作異常のチェックに役立つ。

## 【0019】

消去及び書き込み処理中に割込みや例外処理を全く受け付けないとすると、緊急処理を要する事象に対処できず、システムに復旧不可能な異常状態を生ずる可能性が有る。逆に全ての割込みを受け付けると消去及び書き込み処理効率が著しく低下してしまう。これに対処するため、割込み要求信号を入力し、競合する割込要

求の調停と割込み優先レベルによる割込みマスク処理を行ってCPUに割込み信号を出力する割込み制御回路に対し、消去及び書込みを行なうとき、マスク不可能な割込みよりも割込み優先レベルの低い割込みをマスクさせる設定を行うようにするとよい。

## 【0020】

前記CPUは、消去及び書込みを行なうとき、マスク不可能な割込み要求に対する割込み処理ルーチンの所在をRAMのアドレスに変更する処理を行えばよい。例えばベクタベースレジスタをRAMエリアのアドレスに変更し、或は専用ベクタレジスタの使用を設定する。消去又は書込み途中のエリアの記憶情報は未だ書込み不完全であったりするため、サブルーチンの実行を保証できないからである。

## 【0021】

〔3〕本発明の別の態様に係るマイクロコンピュータは、消去及び書き込み可能な不揮発性メモリと、CPUとを有し、前記不揮発性メモリは、前記CPUが実行して前記不揮発性メモリを消去及び書込み制御するための消去及び書込み制御プログラムを保有する。前記消去及び書込み制御プログラムは、消去動作のための消去電圧又は書き込み動作のための書き込み電圧の印加とペリファイ動作とを含む単位処理サイクル毎又は複数サイクル毎に、CPUの処理を、別の処理に一時的に分岐可能とする。前記CPUは第1レジスタ手段（FUBRA）の設定値によって前記分岐可能な別の処理を指示する。

## 【0022】

上記において、消去及び書込み制御プログラムのジャンプサブルーチン命令に分岐先アドレスを埋め込んでユーザブランチを実現しようとする態様を想定する。プログラムコードの変更（分岐先アドレスの埋め込み）という点に着目すると、CPUのアドレス空間にRAMを配置し、前記不揮発性メモリに前記消去及び書き込み制御プログラムをRAMに転送する転送制御プログラムを保有させ、CPUは、前記RAMに転送された前記消去及び書き込み制御プログラムに対し、第1レジスタ手段の設定値に基づき分岐可能な別の処理へのパラメータ（分岐先アドレス）埋め込みを行なって、当該消去及び書き込み制御プログラムを実行す

ればよい。

【0023】

〔4〕本発明の更に別の態様は、特に、書き込みループに着目し、書き込み時間が消去時間に比べて長い場合を想定する。この観点によるマイクロコンピュータは、電氣的に書き込み可能な複数のメモリセルを含む不揮発性メモリと、前記不揮発性メモリに対する書き込み制御プログラムを実行可能な中央処理装置と、を有し、前記中央処理装置は、前記書き込み制御プログラムの実行中に、前記書き込み制御プログラムと異なる第1制御プログラムの処理へ時的に分岐可能である。

【0024】

例えば、前記書き込み制御プログラムは、前記電氣的に書き込み可能な複数のメモリセルのうち指定されたメモリセルに対して情報の書き込みを行う場合、複数回の書き込み処理ループを実行して前記指定されたメモリセルへ情報を書き込む処理を規定し、前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第1制御プログラムへ分岐可能にされる。

【0025】

更に具体的には前記中央処理装置によって書き込み可能な第1記憶回路（FUBRA）を、さらに、有し、前記第1記憶回路が前記中央処理装置によって第1設定値に設定された場合、前記中央処理装置の処理は前記書き込み制御プログラムを継続して実行し、前記第1記憶回路が前記中央処理装置によって前記第1設定値と異なる第2設定値に設定された場合、前記中央処理装置の処理は、前記書き込み処理ループ毎に、前記第1制御プログラムへ分岐される。

【0026】

〔5〕本発明の更に別の態様は、特に、消去ループに着目し、消去時間が書き込み時間に比べて長い場合を想定する。この観点によるマイクロコンピュータは、電氣的に消去可能な複数のメモリセルを含む不揮発性メモリと、前記不揮発性メモリに対する消去制御プログラムを実行可能な中央処理装置と、を有し、前記中央処理装置は、前記消去制御プログラムの実行中に、前記消去制御プログラムと異なる第1制御プログラムの処理へ時的に分岐可能とされる。

## 【0027】

例えば、前記消去制御プログラムは、前記電氣的に消去可能な複数のメモリセルのうち指定されたメモリセルに対して情報の消去を行う場合、複数の回の消去処理ループを実行して前記指定されたメモリセルへ情報を消去する処理を規定し、前記中央処理装置の処理は、前記消去処理ループ毎に、前記第1制御プログラムへ分岐可能にされる。

## 【0028】

更に具体的には、前記中央処理装置によって書き込み可能な第1記憶回路（FUBRA）を、更に、有し、前記第1記憶回路が前記中央処理装置によって第1設定値に設定された場合、前記中央処理装置の処理は前記消去制御プログラムを継続して実行し、前記第1記憶回路が前記中央処理装置によって前記第1設定値と異なる第2設定値に設定された場合、前記中央処理装置の処理は、前記消去処理ループ毎に、前記第1制御プログラムへ分岐される。

## 【0029】

〔6〕本発明の更に別の態様は、書き込み方法に着目する。即ち、中央処理装置と電氣的に書き込み可能な不揮発性メモリとを有するマイクロコンピュータにおける前記中央処理装置に書き込み制御プログラムを実行させて前記不揮発性メモリに情報を書き込むための書き込み方法は、前記不揮発性メモリの書き込みすべきメモリセルのアドレスを供給する第1工程と、前記メモリセルに書き込みべき情報を供給する第2工程と、前記メモリセルに前記書き込みべきデータを繰り返し書き込む第3工程を有する。そして、前記第3工程は、前記メモリセルに書き込み電圧を印可する電圧印可工程と、前記メモリセルに前記書き込みすべきデータが書き込まれたか否かを確認するペリファイ工程と、所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に、前記レジスタに設定された値に対応する所定の処理へ前記中央処理装置の処理を移行させる工程と、前記中央処理装置の処理を前記所定の処理から前記第3工程へ復帰させる工程とを含む。

## 【0030】

本発明の更に別の態様は、消去方法に着目する。即ち、中央処理装置と電氣的

に消去可能な不揮発性メモリとを有するマイクロコンピュータであって、前記中央処理装置に消去プログラムを実行させて前記不揮発性メモリの所定のメモリセルに記憶された情報を消去するための消去方法は、前記不揮発性メモリの消去すべきメモリセルのアドレスを供給する第1工程と、前記メモリセルから前記情報を消去する第2工程を有する。前記第2工程は、前記メモリセルに消去電圧を印可する電圧印可工程と、前記メモリセルから前記情報が消去されたか否かを確認するベリファイ工程と、所定のレジスタの値を参照し、前記レジスタに所定の値が記憶されている場合に、前記レジスタに設定された値に対応する所定の処理に前記中央処理装置の処理を移行させる工程と、前記中央処理装置の処理を前記所定の処理から前記第2工程へ復帰させる工程とを含む。

#### 【0031】

本発明の更に別の態様は、オンボード書き込み方法に着目する。即ち、中央処理装置と電気的に書き込み可能な不揮発性メモリとを有するマイクロコンピュータを基板に実装した後、前記中央処理装置に書き込み制御プログラムを実行させて前記不揮発性メモリの所定のメモリセルに情報を書き込み方法は、前記不揮発性メモリの書き込みすべきメモリセルのアドレスを供給する第1工程と、前記メモリセルに書き込みべき情報を供給する第2工程と、前記メモリセルに前記書き込みべきデータを繰り返し書き込む第3工程を有する。そして、前記第3工程は、前記メモリセルに書き込み電圧を印可する電圧印可工程と、前記メモリセルに前記書き込みすべきデータが書き込まれたか否かを確認するベリファイ工程と、所定の処理へ前記中央処理装置の処理を移行させる工程と、前記中央処理装置の処理を前記所定の処理から前記第3工程へ復帰させる工程とを含む。

#### 【0032】

本発明の更に別の態様は、オンボード消去方法に着目する。即ち、中央処理装置と電気的に消去可能な不揮発性メモリとを有するマイクロコンピュータを基板に実装した後、前記中央処理装置に消去プログラムを実行させて前記不揮発性メモリの所定のメモリセルに記憶された情報を消去するための消去方法は、前記不揮発性メモリの消去すべきメモリセルのアドレスを供給する第1工程と、前記メモリセルから前記情報を消去する第2工程を有する。そして、前記第2工程は、

前記メモリセルに消去電圧を印可する電圧印可工程と、前記メモリセルから前記情報が消去されたか否かを確認するペリファイ工程と、所定の処理に前記中央処理装置の処理を移行させる工程と、前記中央処理装置の処理を前記所定の処理から前記第2工程へ復帰させる工程とを含む。

## 【0033】

それら方法により、中央処理装置と電氣的に書き込み可能な不揮発性メモリを有するマイクロコンピュータにおいて、前記不揮発性メモリヘデータ乃至情報の書き込み又は消去処理途中において、前記中央処理装置に、前記書き込み処理以外の処理を実行させることが可能になる。

## 【0034】

## 【発明の実施の形態】

## 〈マイクロコンピュータ〉

図1には本発明の一例に係るデータ処理装置としてのマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、特に制限されないが、単結晶シリコンのような1個の半導体基板（半導体チップ）にCMOS集積回路製造技術により形成される。

## 【0035】

マイクロコンピュータ1は、演算制御装置としての中央処理装置（CPU）2、不揮発性メモリとしてのRAM3、バスステートコントローラ（BSC）4、フラッシュメモリ13、及びその他の内蔵回路を総称するその他モジュール7を有する。前記フラッシュメモリ13は電氣的に書き換え可能な不揮発性メモリの一例であり、フラッシュメモリモジュール5とフラッシュコントロールモジュール6によって構成される。前記その他モジュール7としてマスクROM8、割り込みコントローラ（INTC）9、タイマ（TMR）10、入出力ポート（I/O）11、シリアルインタフェースコントローラ（SCI）12、その他インタフェースコントローラ16、DMAC（Direct Memory Access Controller）17及びシステムコントローラ15等を有する。それら回路モジュールはバスIAB、IDB、PAB、PDB、CONTを介してインタフェースされる。

## 【0036】

前記バス I A B, I D B は情報伝送速度の比較的速い内部アドレスバス、内部データバスである。前記バス P A B, P D B は情報伝送速度が比較的遅い周辺アドレスバス、周辺データバスである。バス C O N T は、バスコマンド、バスアクセス制御信号、及びタイミング制御信号等を伝達する制御信号線を総称する。内部バス I D B, I A B と周辺バス P D B, P A B との動作速度の相違若しくはアクセス対象に固有のアクセス形態の相違に対して前記 B S C 4 がアクセス動作タイミング等を最適制御すると共に、前記 B S C 4 はアクセスアドレスに応じたチップ選択若しくはモジュール選択制御等も行なう。

## 【0037】

前記システムコントローラ 15 には外部から複数ビットのモード信号 14 及びリセット信号 R E S などが入力される。マイクロコンピュータ 1 のパワーオンリセット或はハードウェアリセットによりリセット信号 R E S がローレベルにされると、そのローレベル期間においてマイクロコンピュータ 1 の内部でリセット動作が行われる。リセット信号 R E S によるリセットの解除後、複数ビットのモード信号 14 の状態に応じて、マイクロコンピュータ 1 の動作モードが決定される。C P U 2 は、その動作モードに応じたプログラム領域のリセットベクタをリードし、そのアドレスの命令をフェッチし、フェッチした命令を解読して、命令実行を開始する。

## 【0038】

R A M 3 は C P U 2 のワーク領域若しくはデータ又はプログラムの一時記憶領域としても利用される。前記マスク R O M 8 はデータテーブルなどの記憶領域とされる。フラッシュメモリモジュール 5 は C P U 2 のプログラムやデータの記憶領域とされる。

## 【0039】

割り込みコントローラ 10 はマイクロコンピュータ 1 の外部から与えられる割込要求又はマイクロコンピュータ 1 内部の状態に応じて内蔵回路モジュールから発生される割込要求が入力され、割り込み優先レベル及び割り込みマスク等に従って、競合する割込要求の調停と割り込み優先レベルによる割り込みマスク処理を行う。割り込みコントローラ 10 は割込要求の調停と割り込みマスク処理との結

果に従って、CPU2に割込み信号IRQを与えるとと共に、受付ら得た割込み要求の割り込み要因に応ずる割り込みベクタアドレスをCPU2に与える。CPU2は割り込みベクタアドレスによって指示されるプログラムに処理を分岐する。割込みコントローラ9はCPU2から割込みマスクデータ(IMSK)が与えられ、この割込みマスクデータ(IMSK)で示される割込み優先レベルよりも低い割込み要求の受付をマスクする。

#### 【0040】

I/O11は外部アドレスバス及び外部データバスへの接続、SCI12の外部インタフェース、TMR10の外部イベント信号入力、そのインタフェースコントローラ16の外部インタフェース等に用いられる。インタフェースコントローラ16は例えば、ATAPI又はSCSIなどのインタフェースに適用可能である。

#### 【0041】

図2には前記CPU2の具体例が示される。CPU2は、特に制限されないが、シフタSFT及び算術論理演算器ALU等の演算器と、32ビットの汎用レジスタR0～R31、プログラムカウンタPC、ステータスレジスタSR及びテンポラリレジスタTR等のレジスタ群、そしてリードデータバッファRDB、ライトデータバッファWDB及びアドレスバッファABなどのバッファ回路を実行部に有し、それらは第1乃至第3内部バスIB1～IB3のうちの所定の内部バスに接続される。CPU2は命令制御部として、命令レジスタIR、命令デコーダIDEC、命令シーケンスロジックINTLを有する。

#### 【0042】

前記リードデータバッファRDBは例えば32ビットのデータバスIDBから入力したデータを内部バスIB2に供給する。ステータスレジスタSRは割込みマスクデータIMSKのフィールドを有する。割込みマスクデータIMSKは割込みコントローラ9に与えられる。割込みコントローラ9は割込みマスクデータIMSKで示される割込み優先レベルよりも低い割込み要求をマスクする。

#### 【0043】

前記プログラムカウンタPCは次に実行すべき命令アドレスを保有し、その命



令アドレスがアドレスバッファ A B から内部アドレスバス I A B に出力されると、RAM 3 等の対応アドレスからリードされた命令が内部データバス I D B を介して命令レジスタ I R にフェッチされる。命令デコーダ I D E C は命令レジスタ I R の命令を解読して、CPU 2 内部の制御信号を生成して、前記実行部による演算処理を制御する。命令シーケンスロジック I N T L は割込み信号 I R Q 等に応答して命令実行順序を変更する制御を行なう。

## 【 0 0 4 4 】

図 1 においてフラッシュメモリモジュール 5 は、メモリセルアレイ 2 0、Xデコーダ・ドライバ (X D E ・ D V) 2 1、センスアンプアレイ (S A A) 2 2、Yスイッチアレイ (Y S W) 2 3、Yデコーダ (Y D E) 2 4、入出力回路 (I F B) 2 5、電源回路 (V G N) 2 6、及びタイミングジェネレータ (T G N) 2 7 を有する。メモリセルアレイ 2 0 はマトリクス配置されたフラッシュメモリセル (図示せず) を有する。フラッシュメモリセルは、特に制限されないが、半導体基板若しくはウェル領域にソース、ドレインを有し、チャネルの上方に夫々絶縁膜を介してフローティングゲート及びコントロールゲートが形成されたスタック構造を有し、ソースをソース線に、ドレインをビット線に、コントロールゲートをワード線に接続して構成される。

## 【 0 0 4 5 】

フラッシュメモリセルは閾値電圧がプログラム可能にされ、プログラムされた閾値電圧に応じて情報を保持する。例えば、1 個のフラッシュメモリセルが 1 ビットの情報を保持する場合に、相対的に高い閾値電圧状態を書き込み状態、相対的に低い閾値電圧状態を消去状態と称する。書き込み状態を得る為の書き込み動作は、特に制限されないが、コントロールゲートに 1 0 V、ドレインに例えば 5 V、ソースおよび基板に例えば 0 V を印加して、ドレイン・ソース間に電流を流し、これによってホットエレクトロン注入が起こり、フローティングゲートに電子が蓄積され、メモリセルの閾値電圧が高くなる。前記消去状態を得る為の消去動作は、特に制限されないが、コントロールゲートに 1 0 V、ソース及び基板に例えば - 1 0 V を印加し、さらにドレインを例えば開放 (フローティング) にして、フローティングゲートに蓄積された電子を基板に放出させ、これによってメ

メモリセルの閾値電圧が低くなる。

【0046】

前記入出力回路25はバスIAB, IDB, PAB, PDB, CONTとの間でアドレス、制御信号及びコマンドを入力すると共にデータの入出力を行なう。入出力回路25に入力されたアドレス信号はXDEC・DV21及びYDE24に入力されて夫々デコードされる。XDEC・DV21はそのデコード結果に従ってワード線を選択する。YDE24はそのデコード結果に従ってYSW23を介してビット線を選択する。ワード線選択及びビット線選択によってフラッシュメモリセルが選択される。読み出し動作では、前記選択されたフラッシュメモリセルの読み出しデータは、SAA22にて検出され、入出力回路25を経てバスPDBまたはIDBに出力される。書き込み動作では、バスPDB又はIDBから入出力回路25に与えられる書き込みデータが入出力回路25内の書き込みラッチ回路にラッチされ、ワード線選択されたメモリセルに対し、ラッチデータに従って書き込み・書き込み阻止が制御される。書き込み処理の前には予めブロック単位でフラッシュメモリセルに対する消去が行なわれる。

【0047】

前記電源回路26はクランプ回路やチャージポンプ回路などを有し、フラッシュメモリの書き込み・消去・読み出しなどの動作で使用する様々な電圧を供給する。前記タイミングジェネレータ27は、制御バスCONTを介して供給されるストロブ信号及びデータバスPDB, IDBを介して入力されるコマンドに基づいてフラッシュメモリの外部とのインタフェース制御を行なう。

【0048】

図1において前記フラッシュコントロールモジュール6は、フラッシュメモリモジュール5に対する書き込み及び消去やそのためのプログラム転送関係の各種制御レジスタ30と制御論理回路29とを有する。図1には制御レジスタとしてFCCS, FKEY, FMATS, ライタモード関係レジスタ, 書き込み消去関係レジスタが代表的に示されている。フラッシュメモリモジュール5に対する書き込み及び消去動作の制御にはRAM3の記憶領域やCPU2の汎用レジスタも利用する。

## 【0049】

## 《フラッシュメモリのメモリマップ》

図3にはフラッシュメモリのメモリマップが例示される。フラッシュメモリモジュール5のメモリセルアレイ20は、電氣的に消去及び書き込み可能なブートマップ（第1領域）Tmat、ユーザブートマップ（第2領域）Umat、ユーザマップ（第3領域）Mmat、及びリペア及びトリミングマップRmatを有する。前記ブートマップTmat、ユーザブートマップUmat、及びユーザマップMmatは夫々CPU2のアドレス空間における先頭アドレスである0番地（H' 0000000）をスタートアドレスとしてメモリ空間が割り当てられる。要するに、前記ブートマップTmat、ユーザブートマップUmat、及びユーザマップMmatはアドレス空間がオーバーラップされ、前記アドレスデコーダYDEC及びXDEC・DVはどのマップを利用するか の指示に 応答してアドレスデコード論理が選択されることになる。どのマップを利用するかはモード信号14で指示されるマイクロコンピュータの動作モードなどによって決まる。リペア及びトリミングマップRmatはメモリセルアレイにおける欠陥救済アドレスや回路の特性に応じた合わせ込みのためのトリミング回路の設定データが格納される。

## 【0050】

## 《動作モード》

フラッシュメモリは、プロセス世代が進むにつれて、書き込み関係、消去関係のプログラムが複雑化しつつある。このような事情の下で、消去及び書き込み制御プログラムをユーザが作成しなければならないとすると、ユーザの負担が大きくなる。マイクロコンピュータ1においては、ユーザに消去及び書き込みプログラムを作成する負担を減らし、簡単な手続きで消去及び書き込みをどのモードでも実施できるように考慮されている。特に、フラッシュメモリ13を消去及び書き込みするための高電圧パルス印加時間などのパラメータをチューニングしたり処理フローを変更したりするときに、ハードウェアに依存せずソフトウェアを使用して実施でき、ユーザに負担をかけず、簡単な手続きで消去及び書き込みを実施できる動作モードを用意している。その内容を簡単に説明すると、ブートマッ

トTmatが保有している消去及び書き込み制御プログラムをどの動作モードでも参照できるようにし、しかも、ブートマツトTmatのプログラムには、セキュリティに関する部分の記述もあるので、不都合のない範囲でユーザがそのプログラムを使用できるようにしてある。

#### 【0051】

マクロコンピュータ1の動作モードを詳述する。フラッシュメモリ13に対する消去及び書き込みに着目すると、マイクロコンピュータ1は、ライターモード、ブートモード（第1モード）、ユーザブートモード（第2モード）、及びユーザモード（第3モード）を有する。特に制限されないが、前記モード信号14は2ビットであり、システムコントローラ15は、其の論理値の組み合わせを解読して、指示された動作モードが、前記ライターモード、ブートモード、ユーザブートモード、又はユーザモードの何れであるかを判定する。

#### 【0052】

前記ライターモードはEPROMライタのような書き込み装置を用いてフラッシュメモリ13の消去及び書き込みを実施可能にする動作モードである。ライターモードが指定されると、リセット処理後、CPU2はブートマツトTmatの先頭番地からベクタフェッチを行ってプログラムの実行を開始する（ブートマツトから起動）。そして、ライターモードに必要な処理として、コマンド判定プログラムや消去及び書き込み関係のプログラムを全てRAM3に転送する。その後、CPU2は、RAM3に転送されたプログラムの実行に移行し、フラッシュメモリ13はEPROMライタによって消去及び書き込み可能にされる。このライターモードは、オフボード（マイクロコンピュータがシステムボードに実装されていない状態）で前記ユーザマツトMmat及びユーザブートマツトUmatに任意のユーザ制御プログラム等を格納するのに適している。

#### 【0053】

前記ブートモードは、マツトTmat、Umat、Mmatの全てを消去し、SCI12を使用して書き込みを実施可能にする動作モードである。このブートモードは前記CPU2にブートマツトTmatのプログラムを処理させると共に当該ブートマツトTmatを消去及び書き込み不可能にする。具体的には、ブー

トモードが指定されると、リセット処理後、CPU2はブートマットTmatの先頭番地からベクタフェッチを行ってプログラムの実行を開始する。そして、ブートモードに必要な処理として、ブートマットTmat内の消去及び書き込み関係のプログラム及びコマンド判定プログラムをRAM3に転送する。転送終了とその他の処理終了後に、CPU2はRAM3上のプログラム実行に移る。RAM3上のプログラム実行でマットUmat、Mmatの全てを消去した後に、コマンド判定プログラムを起動し、SCI12を利用して書き込みが実施可能になる。このブートモードは、シリアル通信インタフェースを備えたオンボードで、前記ユーザマットMmat及びユーザブートマットUmatに任意のユーザ制御プログラム等を格納するのに適している。

#### 【0054】

前記ユーザブートモードは、前記CPU2にユーザブートマットUmatのプログラムを処理させてユーザ任意のインタフェースを使用した消去及び書き込みを実施可能とし、ブートマットTmat及びユーザブートマットUmatに対しては消去及び書き込みを不可能にする動作モードである。具体的には、ユーザブートモードは、ブートマットTmatから起動し、CPU2がブートマットTmat内のプログラムを実行すると共にRAM3へユーザブートマット切換えプログラムの転送を行う。その後に、CPU2はRAM3上のプログラム実行に移る。CPU2によるRAM3上のプログラム実行で、CPU2のアドレス空間で見えるフラッシュメモリ13上のマットをデフォルトのユーザマットMmatからユーザブートマットUmatへ切換え、ユーザブートマットUmatのベクタアドレスを読み出した後にその領域へジャンプする。セキュリティが掛かっている場合は、ユーザマットMmatの消去を実施した後にジャンプを実施する。書き込みを実施する時は、後述するSCOモードを使用して必要な消去及び書き込みプログラムをブートマットTmatからRAM3にダウンロードした後、その消去及び書き込み制御プログラムを利用して、ユーザマットMmatに対する書き込みを行う。要するに、ユーザブートマットUmatにユーザ専用のインターフェースプログラムを用意して、ユーザの実装ポートに合った書き込みデータ転送が実現可能となる。このユーザブートモードは、ユーザのシステムボードが備え

ているオンボードインタフェースを使用して、ユーザの制御プログラムなどをユーザマットMmatに書き込むのに適している。この動作においてユーザブートマットUmatの消去は阻止される。したがって、ユーザのシステムボードがシリアルインタフェースを備えず、オンボードでブートモードを利用できなくても、これに代えて、ユーザのシステムボードが備えているオンボードインタフェースを介する書き込みをを保証することができる。

#### 【0055】

前記ユーザモードはユーザマットMmatが保有するプログラムを利用して消去及び書き込みを実施可能にする動作モードであり、ブートマットTmat及びユーザブートマットUmatの消去及び書き込みについては不可能にする。詳しくは、CPU2をユーザマットMmatから起動し、ユーザマットMmat上のプログラムが実行される。特に、ユーザが必要な時に、後述するSCOビットをイネーブルにするとブートマットTmatとユーザマットMmatが自動的に切り替わり、ブートマットTmatのある番地からプログラムがスタートし、ブートマットTmat上の消去及び書き込み制御プログラムがRAM3に転送され、プログラムの転送が終了したらユーザマットMmatとブートマットTmatが自動的に切り替えられて、ユーザの処理へ復帰し、ユーザのプログラムで前記消去及び書き込み制御プログラムが利用されて、ユーザマットMmatに対する消去及び書き込みが可能にされる。要するに、ユーザプログラムモードでは、後述するSCOモードを使用してブートマットTmat上の消去及び書き込み制御プログラムをRAM3上に転送しそのプログラムを利用可能にしている。このユーザモードは、オンボードでユーザ制御プログラム実行中にユーザマットMmat上のパラメータなどを書き換えるのに適している。

#### 【0056】

図4の(A)，(B)には各マットの各動作モードによるアクセス態様を示される。同図に示されるアクセス態様は上記動作モードで説明したアクセス態様を整理したものである。同図からも明らかなように、リペア及びトリミングマットRmatとブートマットTmatは何れの動作モードにおいても消去及び書き込み不可能にされ、ユーザブートマットUmatはユーザ制御プログラムが実行可

能にされるユーザブートモード及びユーザモード（ユーザプログラムモード）において消去及び書き込み可能にされる。このユーザブートモードは、ユーザのシステムボードが備えているオンボードインタフェースを使用して、ユーザの制御プログラムなどをユーザマットMmatに書き込むのに適している。この動作においてユーザブートマットUmatの消去は阻止される。したがって、ユーザのシステムボードがシリアルインタフェースを備えず、オンボードでブートモードを利用できなくても、これに代えて、ユーザのシステムボードが備えているオンボードインタフェースを介する書き込みを保証することができる。尚、図4においてアクセスとはリードアクセスを意味し、記号△はブートマットに格納されたプログラムにしたがってリードアクセス可能であることを意味し、ユーザ制御プログラムにしたがって任意にリードアクセスできることは意味しない。

#### 【0057】

図5にはCPUが実行するプログラムの所在と実行による作用を模式的に示す。図5ではCPU2の図示は省略してあり、CN1はブートマットTmatからRAM3に転送された消去及び書き込み制御プログラム等をCPU2が解読した結果の制御信号群を仮想的に示す。CN2はブートマットTmatからRAM3に転送されたシリアルインタフェース制御プログラムをCPU2が解読した結果の制御信号群を仮想的に示す。CN3はユーザブートマットUmatのユーザインタフェース制御プログラムをCPU2が解読した結果の制御信号群を仮想的に示す。CN4はユーザマットMmatのユーザインタフェース制御プログラムをCPU2が解読した結果の制御信号群を仮想的に示す。制御信号CN3、CN4はユーザブートマットUmat、ユーザマットMmatから直接フェッチしたプログラムの解読結果であるように図示されているが、一旦RAM3に転送され、RAM3からフェッチしたプログラムの解読結果であってよい。Sig1～Sig4はシステムコントローラ15によるリセット解除後のモード信号14の解読結果を意味し、Sig1はブートモード、Sig2はユーザブートモード、Sig3はユーザモード、Sig4はライトモードを意味する。それら信号Sig1～Sig4は実際にはCPU2にも供給されるがここではその状態の図示を省略してある。

## 【0058】

モード信号14にてブートモードが指示されると、信号S i g 1に応答してフラッシュコントロールモジュール6によりブートマットT m a tの消去及び書き込み制御プログラム及びシリアル通信制御プログラム等がRAM3に転送される（径路P1）。CPU2による其のシリアル通信制御プログラムの解読結果（CN2）にしたがってホスト装置HST1にオンボードのシリアルインタフェースから書き込みデータがRAM3に取り込まれ（径路P2）、CPU2による消去及び書き込み制御プログラムの解読結果（CN1）にしたがってフラッシュメモリ13が消去され、RAM3上の書き込みデータを用いてユーザブートマットU m a t及びユーザマットM m a tに対してユーザ制御プログラムの書き込みが行われる（経路P3, P4）。

## 【0059】

モード信号14にてユーザブートモードが指示されると、信号S i g 2に応答してフラッシュコントロールモジュール6によりブートマットT m a tからマット切換え制御プログラム等がRAM3に転送され（径路P1）、ユーザブートマットU m a tに切換えられ、ユーザブートマットU m a tの先頭ベクタをフェッチして実行する。書き込みを実施する時は、消去及び書き込みプログラムをブートマットT m a tからRAM3にダウンロードする。ユーザブートマットU m a tが保有するユーザインタフェース制御プログラムの解読結果（CN3）にしたがってホスト装置HST2にオンボードのユーザインタフェースから書き込みデータがRAM3に取り込まれ（径路P5）、CPU2による消去及び書き込み制御プログラムの解読結果（CN1）にしたがってフラッシュメモリ13が消去され、RAM3上の書き込みデータを用いてユーザマットM m a tに対してユーザ制御プログラムやユーザデータの書き込みが行われる（経路P3, P4）。ユーザインタフェースは例えばその他にインタフェースコントローラ16により実現されるATAPI用インタフェースなどとされる。尚、ユーザブートマットU m a tに格納されるユーザインタフェース制御プログラムはブートマットT m a tに格納されたものと類似若しくは別のシリアルインタフェース制御プログラムであってもよい。



## 【0060】

モード信号14にてユーザモードが指示されると、信号Sig3によりそれがフラッシュコントロールモジュール6に伝達され、書き込みを実施する時は、消去及び書き込みプログラムをブートマットTmatからRAM3にダウンロードする。ユーザマットMmatが保有するユーザインタフェース制御プログラムの解読結果(CN4)にしたがってホスト装置HST2にオンボードのユーザインタフェースから書き込みデータがRAM3に取り込まれ(経路P5)、CPU2による消去及び書き込み制御プログラムの解読結果(CN1)にしたがってフラッシュメモリ13が消去され、RAM3上の書き込みデータを用いてユーザマットMmatに対してユーザ制御プログラムやユーザデータの書き込みが行われる(経路P3, P4)。尚、ユーザマットMmatに格納されるユーザインタフェース制御プログラムはブートマットTmatに格納されたものと類似若しくは別のシリアルインタフェース制御プログラムであってもよい。

## 【0061】

特に図示はしないが、マイクロコンピュータ1の比較例として、ユーザブートマットUmat及びユーザブートモードを備えていないマイクロコンピュータを想定する。この場合、ユーザブートマットUmatに格納したユーザインタフェースプログラムをユーザマットMmatに格納しておけば、前記マイクロコンピュータ1と同じように、ホスト装置HST2のオンボードのユーザインタフェースを介してプログラムやデータをユーザマットMmatに書き込み又は書換えを行なうことができる。但し、マイクロコンピュータ1もそうであるが、ユーザマットMmatに対しては自由な書換えが許容される関係上、ユーザマットMmatに格納されたユーザインタフェースプログラムは消去される虞がある。消去されたとき、ホスト装置HST2がブートモードで利用可能なシリアルインタフェースをオンボードで備えていなければ、その比較例に係るマイクロコンピュータは最早ホスト装置HST2とはオンボードで情報を入出力できなくなる。

## 【0062】

上記動作モードを有するマイクロコンピュータ1によれば、以下の作用効果を得ることができる。(1) ユーザ専用の通信プロトコルを格納可能なユーザブー

トマットUmatを用意したので、マイクロコンピュータ1が備える任意のインタフェースをフラッシュメモリ13の消去及び書き込みに流用することができる。

(2) フラッシュメモリ13の消去及び書き込みにユーザ任意のインターフェースを採用する事が可能となったことにより、ホスト装置HST2に必ずシリアルインターフェースを用意しなくてもよい。(3) ユーザブートマットUmatとユーザマットMmatを分けた事により、ユーザマットMmatに専用通信プロトコルを書かなくても、消去及び書き込み用にユーザ任意の書きこみインターフェースが実現できるから、ユーザマットMmatに格納して使用する制御プログラムの作成が容易になる。要するに、ユーザプログラムモードで使用する通信制御プログラムの消去防止などについて特別な考慮を払わなくてもよい。(4) ユーザブートマットUmatから立ち上がるユーザブートモードでは、ハードウェア的にユーザブートマットUmatを消去及び書き込み不可にするので、暴走等でユーザブートマットUmatの記憶情報が破壊される事はなく、デバック時にCPU2が暴走しても、外部インターフェースを制御するプログラムの破壊には至らないので、実装したマイクロコンピュータチップを取り外さなくても、オンボードでユーザマットMmatの書換えを自由に行うことができる。

【0063】

#### 《消去及び書き込みのプロテクト》

図6にはフラッシュメモリ13の消去及び書き込みに対するプロテクトのための論理構成が例示される。同図の論理は正論理とされ、その構成はフラッシュコントロールモジュール6によって実現される。

【0064】

フラッシュメモリに対する消去及び書き込み動作は、書き込み消去関係レジスタ群30Aの初期値に対して、処理に必要な制御データを設定することによって可能にされる。書き込み消去関係レジスタ群30Aに対する制御データの設定は制御ビットSWEが論理値“1”で可能になる。要するに、制御ビットSWEが論理値“1”にされない限り、フラッシュメモリ13の消去及び書き込みは不可能にされる。

【0065】

制御ビットSWEを論理値“1”にする第1の条件は外部端子Pfw eによりレジスタFCCSのイネーブルビットFWEを論理値“1”にセットすることである。

#### 【0066】

第2の条件は、ナンドゲート40の出力を論理値“1”とする動作モードの選択状態とフラッシュメモリのマツト選択状態を得ることである。即ち、動作モードがテストモード（TESTTM=1）、ライターモード（WRTM=1）、又はブートモード（BOOT=1）であること。或は、ユーザモード又はユーザブートモードにおいてユーザブートマツトUmatが選択されていないこと（UMATSEL=0）である。尚、テストモードとはマイクロコンピュータの製造メーカーがデバイステストに用いる動作モードであり、全ての動作が可能にされるが、ユーザには非公開な動作モード、即ち、ユーザによる設定が不可能な考慮が払われている。

#### 【0067】

前記信号UMATSELはレジスタFMATS及び当該レジスタFMATSの設定値に対するAA判定回路41の判定結果とされる。レジスタFMATSは、ユーザマツトMmatとユーザブートマツトUmatを切換えるときに使用する。このレジスタFMATSを使用することによって、CPU2のオペレーションをユーザマツトMmatからユーザブートマツトUmatへ遷移する事が可能になる。ただし、マツトの切換えには制限事項がある。即ち、レジスタFMATSのユーザブートマツト選択ビットをセットできる条件は、CPU2のオペレーションがRAM3のプログラムを実行していることである。この条件は、CPU2による命令フェッチのアドレスエリアがRAM3のアドレスエリアであることをBSC4が検出して判定する。レジスタFMATSの初期値はH'AA以外であり、ユーザマツト選択状態を示す。H'AAによってユーザブートマツト選択状態を示す。図7にはCPU2のオペレーション（OP）がユーザマツトMmatとユーザブートマツトUmatとの間で切換えられるときの状態遷移が示される。

#### 【0068】

この第2の条件により、ユーザブートマットUmatのアクセスは、どのモードでも可能であるが、書き込み／消去は、ライターモードとブートモード（及びテストモード）のみ可能になる。

#### 【0069】

第3の条件はレジスタFKEYが消去及び書き込み許容値に設定されていることである。前記レジスタFKEYは、電圧降下やノイズ等が原因で、プログラムが暴走し、それによるプログラムの破壊を防ぐために設けられている。消去及び書き込み制御プログラム（書き込み／消去プログラム）が転送された後にプログラムが暴走した場合を考慮してレジスタFKEYを使用する。基本的には、端子Pfwと制御ビットSWEにより、CPU2が暴走しても、書き込み／消去が実施されないようになっているが、さらに信頼性を上げる為にユーザは、書き込み／消去を実施する前に、レジスタFKEYに“5A”の値をセットする。この“5A”をストアしてない時は、FWEがイネーブル（“1”）になっていたとしても、制御ビットSWEをセットする事ができないようになる。レジスタFKEYに“5A”がストアされている状態は、A5、5A判定回路42で検出され、信号fwemk p=1にされ、これによって、SWEが論理値“1”にセット可能にされる。

#### 【0070】

前記レジスタFKEYは上述の書き込み／消去プログラム関係として機能される他に、プログラム転送関係として機能される。即ち、フラッシュメモリの消去及び書き込み制御プログラムをブートマットTmatに格納し、ブートモードの他に、ユーザブートモード及びユーザモードで利用可能にする関係上、ブートマットTmatの当該消去及び書き込み制御プログラムをRAM3に転送させるため、レジスタFCCSに制御ビットSCOを設け、制御ビットSCOをイネーブルすると、自動的にユーザマットMmatとブートマットTmatが切り替えられ、ブートマットTmatから消去及び書き込み制御プログラムがRAM3に転送され、処理終了後にリターン命令が実行されてユーザの処理へ復帰するようになっている。このとき、ユーザが書き込み／消去を実施したくない所で、プログラムが暴走し、書き込み／消去プログラムが転送されると、ユーザプログラムを破

壊する可能性が高くなる。これを回避するために、レジスタ FKEY を使用する。ユーザは、制御ビット SCO をセットする前に、このレジスタ FKEY に “A5” をストアする。この “A5” をストアしてない時は、制御ビット SCO をセットする事はできない。また、CPU 2 が RAM 3 上のプログラムをオペレーションしていることも条件にされる。“A5” がストアされ、RAM 3 上で CPU 2 のオペレーションが行われている時は、SCO ビットがセット可能となり、消去及び書き込み制御プログラムをブートマット Tmat から RAM 3 へ転送することが許容される。

## 【0071】

上述のように、フラッシュメモリ 13 に対する消去及び書き込みに関しては、レジスタ FKEY でプログラムの転送と消去書き込みを排他制御しているので、プログラムが転送されない状態で暴走した場合は、書き込み／消去が実行され難い。

## 【0072】

## 《プログラムモード判定処理》

ここで、前記各動作モードにおける処理の詳細を説明する。図 8 にはプログラムモード判定処理のフローチャート 13 が例示される。SCO モードとはユーザモードにおいてフラッシュメモリを消去及び書き込みするときの動作モードを意味する。ブートモード、ライターモード、ユーザブートモード、ユーザモードは夫々対応するモード端子をセットしてリセット解除すればよい。SCO モードは、ユーザモード中において制御ビット SCO に論理値 “1” をセットして設定される。設定された動作モードに応じてモード判定レジスタにモード情報がセットされる。

## 【0073】

動作モードが設定されると、CPU 2 はブートマット内のプログラムを実行する（ブートマット内 OP）。ブートモード、ライターモード、ユーザブートモードはブートマット内の先頭アドレスからベクタをフェッチしてプログラム実行を開始する（S1）が、SCO モードの場合にはブートマット内の先頭以外の所定番地、例えば優先度の最も高い例外処理であるユーザブレイク番地から処理を開始

する。

#### 【0074】

処理開始すると、モード判定用レジスタをリードし（S2）、その内容を判定し、消去及び書込み制御プログラムの転送など、必要な前処理を行なって（S2～S5）、対応する処理に進む（S6～S9）。尚、フローチャートの各処理欄に示される“user”はその処理がユーザにより定義されたプログラムに基づいて行われる処理であることを意味し、処理欄に示される“boot”はその処理がブートマットTmatのプログラムに基づいて行われる処理であることを意味する。

#### 【0075】

##### 《ライターモード処理》

図9にはライターモード処理のフローチャートが例示される。ライターモードが設定されたときは、図8に示されるようにライターモード制御プログラムがRAM3に転送されている。先ず、ライターモードにおいて消去及び書込みに利用されるコマンド・データレジスタ（CDL）、フラグレジスタ（FLG）がクリアされ、コマンドフラグ（CDF）に“1”がセットされ（S11）、電源が落ちまで、フラグレジスタ（FLG）及びコマンドフラグ（CDF）の状態を参照しながら、EPROMライターからコマンド・データレジスタ（CDL）にセットされるコマンド及び書込みデータにしたがって、ユーザマットMmat及びユーザブートマットUmatに対する消去（S14，S15）及び書込み（S12，S13）が行われる。ライターモード処理はRAM3内オペレーションとされる。

#### 【0076】

##### 《ブートモード処理》

図10にはブートモード処理のフローチャートが例示される。先ず、オンボードのシリアルインタフェースとSCI12との送受信を確立し（S20）、マイクロコンピュータ1の発振周波数等の必要なパラメータをダウンロードして設定する（S21）。次いで、ホスト装置からのコマンドを判定し、マイクロコンピュータの製品名や消去ブロック数などのステータスをホスト装置に返し（S22）、コマンド判定プログラムと消去プログラムをRAM3に転送して（SCOモ

ードを利用することも可能)、RAM3上でのオペレーションに遷移する(S23)。そして、ユーザマットMmat及びユーザブートマットUmatを全面消去した(S24)後、コマンドに応答しながら、ユーザマット書込み処理(S25)、ユーザブートマット書込み処理(S26)、書込みベリファイ処理(S27、S28)等を行なう。

【0077】

#### 《ユーザブートモード処理》

図11にはユーザブートモード処理のフローチャートが例示される。ユーザブートモードでは、特に制限されないが、ブートマットTmatの先頭ベクタからオペレーションを開始し、ユーザブートマットUmatへの切換えプログラムをブートマットTmatからRAM3に転送し(S30)、RAM3上でのオペレーションに遷移し(S31)、レジスタFMATSにH'AAをセットして、レジスタFMATSによるユーザマット指示状態(初期値)をユーザブートマットに切換える(S32)。ここで、ユーザブートマットUmatのエリア設定に誤りが有るかを判定し(S33、S34)誤りが無ければユーザブートマットUmatの先頭ベクタアドレスをリードし(S35)、リードしたベクタアドレスにサブルーチンジャンプする(S36)。CPU2はユーザブートマットUmat上のプログラムを実行し、先ず、ユーザ定義の通信を確立し、書込みに必要なユーザプログラムをRAM3に転送する(S37)。CPU2はRAM3上のプログラム実行に遷移し(S38)、再度レジスタFMATSの操作を行なって、処理対象マットをユーザブートマットUmatからユーザマットMmatに切換える(S39)。そして、RAM3上のユーザプログラムを実行して制御ビットSCOを“1”にセットし(S40)、SCOモード処理に遷移して、ブートマットTmat内の消去及び書き込み制御プログラムをRAM3に転送させ(S41)、転送された消去及び書き込み制御プログラムを用いた書込み/消去の処理が行なわれる(S42)。

【0078】

#### 《ユーザモード処理》

図12にはユーザモード処理のフローチャートが例示される。ユーザモードが

指定されると、ユーザマットMmatの先頭からベクタフェッチが行なわれて（S50）、ユーザの制御プログラムが実行される（S51）。ユーザプログラムの実行中にユーザマットMmatへの書き込みが必要になると、RAM3上でオペレーションを行なってSCOビットを“1”にセットし（S52）、SCOモード処理に遷移して、ブートマット内の消去及び書き込み制御プログラムをRAM3に転送させ（S53）、転送された消去及び書き込み制御プログラムを用いた書き込み／消去の処理が行なわれる（S54）。

【0079】

#### ＜書き込み／消去処理＞

図13には前記ステップS42、S54の書き込み／消去処理のフローチャートが例示される。ステップS60～S63までが書き込み／消去の初期化処理である。ここでは、消去及び書き込み制御プログラムはマイクロコンピュータ1の製造メーカにより予めブートマットTmatに保持されている。要する、そのプログラムはユーザ固有の条件について規定しない。例えば消去電圧パルスや書き込み電圧パルスの印加時間はフラッシュメモリセルの特性に応じて決まるが、そのパルス印加時間はマイクロコンピュータ1の動作クロック信号で制御する必要があり、其のために必要な動作周波数のデータが制御レジスタFPEFEQに設定される（S60）。制御レジスタFPEFEQは、特に制限されないが、CPU2の汎用レジスタR4が割当てられる。

【0080】

消去電圧パルスや書き込み電圧パルス及びベリファイ動作のサイクル中にユーザの処理が完全に断たれる不都合を解消するためのユーザブランチ処理（詳細は後述）のための分岐先処理のアドレスをレジスタFUBRAに設定する（S61）。

【0081】

この後、初期化プログラム領域にサブルーチンジャンプし（S62）、初期化プログラムを実行し（S64）、上記周波数やユーザブランチアドレスといった初期設定の内容にしたがって、消去及び書き込みのためのパラメータが消去及び書き込み制御プログラム上に自動的に設定される。



## 【0082】

次に、消去及び書き込みのハードプロテクトを解除するために、端子P f w e を介して制御ビットFWEを論理値“1”にセットしてハードプロテクトを解除し、ユーザプログラムの実行に遷移する（S64）。このオペレーション状態で、書き込みデータを用意し（S65）、ユーザが実施したい書き込み／消去を実行する（S66）。ステップS65、S66の処理はユーザが目的とする処理が終了されるまで繰返される。

## 【0083】

## 〈ユーザブランチ〉

図13の書き込み消去処理を更に詳述しながらユーザブランチ処理について説明する。

## 【0084】

図14は図13の書き込み処理に着目した概略フローチャートである。書き込み処理は、ブートマットT m a t からソースコード（消去及び書き込み制御プログラム等）をRAM3に転送する処理（T1）、書き込み初期化の実行（T2）、及び書き込み実行（T3）に大別される。

## 【0085】

転送処理（T1）は、転送を実施したいプログラムを選択し、レジスタFKEYをセットし制御ビットSCOをイネーブルにする。これを実施する事によって、ブートマットから自動的に転送プログラムがスタートする。プログラムは、RAM3のスタートアドレスから必要な領域だけプログラムが転送される。この時に初期化プログラムも転送される。

## 【0086】

初期化の実行（T2）では、初期化プログラムが実行され、転送されたプログラムに対し、動作周波数に依存するウェイトタイムループ回数の設定やユーザブランチアドレスが設定される。

## 【0087】

書き込み実行（T3）では、書き込みを実施する前に、どのような方式でも良いが、書き込みデータをRAM3上に転送する。このときには、ある決まった順序

でデータを並べる必要がある。転送領域は、ユーザが任意に設定する事が可能で、必要な手続きを実施し、転送を実施した後、プログラムのある決まった番地にサブルーチンジャンプを実施する。このサブルーチンジャンプを実施する事で書き込みが実行される。

## 【0088】

図15にはRAM3への転送処理(T1)の詳細が例示される。先ずレジスタFKEYを“A5”に設定し(T10)、転送したいソースコードを選択する(T11)。ソースコードの選択は、書き込み消去関係レジスタ30Aに対して行われる。選択可能なソースコードは、特に制限されないが、書き込み及び書き込みベリファイプログラム、消去及び消去ベリファイプログラム等である。そして制御ビットSCOが“1”にセットされて、選択されたソースコードがRAM3の所定エリアに転送される(T12)。制御ビットSCOのイネーブルを実施する時は、CPU2はフラッシュメモリ13の外でオペレーションを実施している必要がある。これは、オペレーション可能なマットがユーザマットMmatからブートマットTmatに変化してしまうためにプログラムが暴走するからである。制御ビットSCOのイネーブルを実施したら、自動的にブートマットTmatからプログラムがスタートする。このブートプログラムは、汎用レジスタの値をソフトウェア処理でスタックに退避する。ユーザの処理に戻るときは、リターン命令でユーザの処理に復帰する。この復帰を実施する前にブートマットTmat内の転送プログラムは、退避を実施した汎用レジスタの値を復帰する。最後に転送が正常に終了したかの判別が行われる(T13)。

## 【0089】

図16には書き込み初期化処理(T2)の詳細が例示される。先ずレジスタPFEEQ(R4)にマイクロコンピュータ1の動作周波数がセットされ(T20)、レジスタFUBRAにユーザブランチアドレスがセットされる。レジスタFUBRAにはCPU2の汎用レジスタR5が割当てられる。其の後、書き込み初期化プログラムが実行される(T22)。例えば、書き込み関係の初期化プログラムは、設定されたチップ動作周波数の値を参照し、ウェイトタイムループ回数を決定する。決定したウェイトタイム時間をRAM3上に転送された書き込み

制御プログラムに埋め込む処理を行なう。また、書き込み初期化プログラムは、レジスタ FUBRA (R5) の値を参照して、ユーザブランチを実施するか、実施した場合に何処のアドレスにジャンプするかを書き込みプログラム変更を実施する。要するに、ユーザブランチを実施するサブルーチンジャンプ命令に、レジスタ FUBRA (R5) の値が、分岐先アドレスとして埋め込まれる。最後に、初期化処理が正常に終了したことを判別して (T23)、処理を終了する。

## 【0090】

ここで、前記レジスタ FUBRA は書き込み／消去途中でのユーザブランチアドレスを指定するレジスタであり、このエリアは汎用レジスタ R5 に存在する。ユーザブランチを実施したくない時は、このレジスタに H' 00000000 をセットする。ユーザブランチにより誤動作を生じないようにするために、フラッシュメモリエリアで書き込み／消去途中のエリアに関してはユーザブランチを禁止し、内蔵 RAM の内、書き込み／消去プログラムが転送された領域へのユーザブランチを禁止し、プログラムデータの書き換えを禁止し、ユーザブランチを実施した先で、SCO モードの実行や書き込み／消去ルーチン、書き込み／消去初期化ルーチンをコールすることを禁止することが望ましい。

## 【0091】

図 18 には図 16 の書き込み初期化時における内蔵 RAM 3、書き込みプログラム、初期化処理、レジスタ R4、R5 との間のデータ接続関係が示される。同図により、初期化プログラムは、レジスタ R4、R5 を参照し、参照結果を書き込みプログラムのユーザブランチ処理に反映し、ウェイト関係パラメータに反映することが明瞭である。

## 【0092】

図 17 には書き込み実行 (T3) の詳細が例示される。まず、マスク不可能な割り込み (NMI) を受け付けたときの分岐先を RAM3 アドレスエリアに変更する (T30)。例えばベクタベースレジスタを RAM3 のアドレスエリアに設定変更すればよい。これは、書き込み途上のフラッシュメモリエリアを避けることが誤動作防止の点より望ましいからである。そのような NMI はユーザ定義のエラー処理ルーチンをコールするために利用すればよい。そして、NMI よりも割

込み優先レベルの低い割込みをマスクする(T31)。例えばステータスレジスタSRに割込みマスクデータIMSKのNMIの次に低い割込み優先レベルを設定すればよい。これは、書き込み/消去中は、状態によってフラッシュメモリに高電圧が掛かっている。この状態でIRQ等の割り込みが入ったとしても、フラッシュメモリのベクターを読める事は保証できない。よって、書き込み/消去中は、NMI以外の割り込みは禁止にする。

#### 【0093】

そして、書き込みアドレスの設定エリアを汎用レジスタR5にセットする(T32)。すなわち、内蔵RAM3に書かれている書き込みアドレスエリアの先頭アドレスを汎用レジスタR5にセットする。そして、書き込みデータアドレスの設定エリアを汎用レジスタR4にセットする(T33)。即ち、内蔵RAM3に書かれている書き込みデータアドレスエリアの先頭アドレスを汎用レジスタR4にセットする。その後、レジスタFKEYに書き込み/消去コード“5A”をセットし(T34)、書き込みプログラムにジャンプして実行する(T35)。最後に書き込みが正常に終了したかを判別する(T36)。

#### 【0094】

図19には書き込み時におけるRAM3、汎用レジスタR4、R5、書き込みプログラムとの間のデータ接続関係が例示される。ここではデュアルバンク書き込みを想定しているから、書き込みアドレスエリアの先頭アドレスと書き込みデータアドレスエリアの先頭アドレスとを夫々のバンク毎に参照できなければならないため、RAMエリアFMPDR0、FMPDR1をレジスタR4で、RAMエリアFMPAR0、FMPAR1をレジスタR5で参照可能にしている。

#### 【0095】

図20には図17のステップT35に対応する書き込みプログラムの処理フローが例示される。この処理フローは、書き込みデータラッチ(T40)、書き込みパルスの印加(T41)、書き込みベリファイ(T42)の処理サイクル中に、ユーザブランチアドレスにサブルーチンジャンプするかを判定するステップ(T43)を有し、初期化処理による設定値にしたがって、サブルーチンジャンプの指示がされている場合(ユーザブランチアドレスがH'00000000以外のとき)

には、ユーザブランチアドレスに分岐して、サブルーチンを実行する（T44）。実行後に再び書き込み動作ルーチンに戻ってくる。書き込みベリファイで所定の閾値状態を得られないときは、パルス印加回数Nをインクリメントして再度同じループを繰返し（T45）、くり返し回数が最大回数（WMAX）に達する前に書き込み正常状態を得られれば其の時点で図17のフローに戻り（T46）、最大回数に達しても正常終了できないときは書き込みエラー処理を行なって（T47）、図17のフローに戻る。

## 【0096】

このように、書き込みパルス印可と書き込みベリファイのサイクル中に、ユーザブランチアドレスで示されたサブルーチン処理に分岐可能であれば、書き込み中であっても、ユーザの制御プログラムに、ある一定間隔で制御を戻すことができる。しかも、ソフトウェアで実施しているので、ユーザの制御に戻ってくる間隔をソフトウェアで変更することも可能である。書き込み中でも、ユーザ制御プログラムに一定間隔で戻ってくることにより、このマクロコンピュータ1を使用したシステムを長い時間停止させなくても、消去及び書き込みが実施可能になる。したがって、一定期間毎に内外の事象を確認する必要があるシステム、或は学習機能付きのシステム等に対して、ユーザのプログラム実行中に消去及び書き込みを実行していくことが可能である。

## 【0097】

図21は図13の消去処理に着目した概略フローチャートである。消去処理は、ブートマットからソースコード（消去及び書き込み制御プログラム等）をRAM3に転送する処理（T5）、消去初期化の実行（T6）、及び消去実行（T7）に大別される。

## 【0098】

転送処理（T5）は前記転送処理（T1）と同じである。初期化の実行（T6）では、転送されたプログラムに関して、動作周波数に依存するウェイトタイムループ回数の設定やユーザブランチの設定の為に、初期化プログラムを実行する。

## 【0099】

消去実行（T7）では、RAM3に転送された消去プログラムのある決まった番地にジャンプサブルーチンを実施する事で消去を実行する。

#### 【0100】

図22には消去初期化処理（T6）の詳細が例示される。先ずレジスタFPEFEQ（R4）にマイクロコンピュータ1の動作周波数がセットされ（T60）、レジスタFUBRAにユーザブランチアドレスがセットされる（T61）。レジスタFUBRAにはCPU2の汎用レジスタR5が割当てられる。其の後、消去初期化プログラムが実行される（T62）。転送された時の消去プログラムは、ウェイトループ回数が初期設定状態になっている。この事から、この初期化プログラムを使用して、消去プログラムのウェイトループ回数を全て変更する。この計算を実施する為に、ユーザはレジスタFPEFEQ（R4）をセットする。レジスタFUBRA（R5）の設定では、消去プログラムのユーザブランチ設定を実施することになる。消去初期化プログラムは、レジスタFUBRAの設定値を参照して、ユーザブランチを実施するか、実施した場合に何処のアドレスにジャンプするかについて、消去プログラム変更を実施する。この変更を実施する為に、ユーザはレジスタFUBRAに値をセットする。最後に、初期化処理が正常終了したことを判別して（T63）、処理を終了する。

#### 【0101】

ここで、前記レジスタFUBRAの意義は書込みの場合と同じであり、ユーザブランチを実施したくない時は、このレジスタにH' 00000000をセットする。

#### 【0102】

図24には図22の消去初期化時における内蔵RAM3、消去プログラム、初期化処理、レジスタR4、R5との間のデータ接続関係が示される。同図により、初期化プログラムは、レジスタR4、R5を参照し、参照結果を書き込みプログラムのユーザブランチ処理に反映し、ウェイト関係パラメータに反映することが明らかである。

#### 【0103】

図23には消去実行（T7）の詳細が例示される。先ず、マスク不可能な割込

み(NMI)を受け付けたときの分岐先をRAM3アドレスエリアに変更する(T70)。例えばベクタベースレジスタをRAM3のアドレスエリアに設定変更すればよい。これは、消去途上のフラッシュメモリエリアを避けることが誤動作防止の点より望ましいからである。そのようなNMIはユーザ定義のエラー処理ルーチンをコールするために利用すればよい。そして、NMIよりも割込み優先レベルの低い割込みをマスクする(T71)。例えばステータスレジスタSRに割込みマスクデータIMSKのNMIの次に低い割込み優先レベルを設定すればよい。これは、消去中は、状態によってフラッシュメモリに高電圧が掛かっている。この状態でIRQ等の割り込みが入ったとしても、フラッシュメモリのベクターを読む事は保証できない。よって、消去中は、NMI以外の割り込みは禁止にする。

## 【0104】

そして、消去ブロック番号を汎用レジスタR4にセットする(T72)。其の後、レジスタFKEYに書き込み/消去コード“5A”をセットし(T73)、消去プログラムにジャンプして実行する(T74)。最後に消去正常終了を判別する(T75)。

## 【0105】

図25には消去時におけるRAM3、汎用レジスタR4、R5、消去プログラムとの間のデータ接続関係が例示される。この接続関係は、ユーザが消去プログラムを作成しないので消去マツト選択のインターフェース方法として、消去ブロック選択の受け渡しを、レジスタFEBS(R4)を介して消去ブロック番号を受け渡す事で実施する。

## 【0106】

図26には図23のステップT74に対応する消去プログラムの処理フローが例示される。この処理フローは、消去データラッチ(T80)、消去パルスの印加(T81)、消去ベリファイ(T82)の処理サイクル中に、ユーザブランチアドレスにサブルーチンジャンプするかを判定するステップ(T83)を有し、初期化処理による設定値にしたがって、サブルーチンジャンプの指示がされている場合(ユーザブランチアドレスがH'00000000以外のとき)には、ユ

ユーザブランチアドレスに分岐して、サブルーチンを実行する(T84)。実行後に再び消去動作ルーチンに戻ってくる。消去ベリファイで所定の閾値状態を得られないときは、パルス印加回数Nをインクリメントして再度同じループを繰返し(T85)、くり返し回数が最大回数(EMAX)に達する前に消去正常状態を得られれば其の時点で図23のフローに戻り(T86)、最大回数に達しても正常終了できないときは消去エラー処理を行なって(T87)、図23のフローに戻る。

#### 【0107】

このように、消去パルス印可と消去ベリファイのサイクル中に、ユーザブランチアドレスで示されたサブルーチン処理に分岐可能であれば、消去中であっても、ユーザの制御プログラムに、ある一定間隔で制御を戻すことができる。消去中でも、ユーザ制御プログラムに一定間隔で戻ってくることにより、このマクロコンピュータ1を使用したシステムを長い時間停止させなくても、消去が実施可能になる。したがって、一定期間毎に内外の事象を確認する必要のあるシステム、或は学習機能付きのシステム等に対して、ユーザのプログラム実行中に消去及び書込みを実行していくことが可能である。

#### 【0108】

##### 《ユーザブランチ先でのプログラムの暴走》

書き込み/消去プログラムが転送された状態で、しかも端子Pfw eがイネーブル状態("1")の場合は、フラッシュメモリ13が保有する記憶情報を如何なる場合にも正常に保持することを完全に保証する事は、困難である。図27にはユーザブランチ先でCPU2が暴走してフラッシュメモリ13の記憶情報が破壊される事態を抑止可能にする書き込み/消去処理の手法が例示される。即ち、書き込み/消去フロー中で各処理終了毎に実施する前記ステップT44、T84のユーザブランチ処理では、書込み消去の動作電源を初期化してリード動作の動作電源に遷移させ(T90)、その後、レジスタFKEYの値を、書き込み/消去可能値"5A"以外の任意に値に変更する(T91)。例えば7X(X=0~F)とする。これを実施することにより、制御ビットSWEのセットが不可になるので、ユーザブランチ先でCPUが暴走しても、簡単には書き込み/消去ができ



なくなる。

#### 【0109】

ステップT91の処理において、レジスタFKEYに設定するコードを、処理に対して意味のあるコード、例えば、消去／書込みの進捗状況を示すコードにすれば、暴走などにより、書込み／消去未完の状態で書込み／消去の処理ルーチンからリターンしてきたような場合、或はレジスタFKEYの値が期待値以外の値に変化している場合、レジスタFKEYの値を参照することにより、異常を検出することができる。図27の例では、パルス印可とベリファイの間では“71”、ベリファイと書込みデータ再演算の間は“72”、再演算と書込みパルス印可前のダミーライトの間は“73”とし、ユーザブランチ処理から抜けるとき、レジスタFKEYの値が“7X (X=1~F)”であるかを判定し(T92)、それ以外であれば何らかの異常があったと見なし、書込み／消去に対してフェイル処理を行なう(T93)。FKEYが“7X”であれば、正常に処理終了と見なし、FKEYを“5A”に戻す(T93)。

#### 【0110】

尚、進捗状況を保持するレジスタはFKEYでなくてもよいが、ユーザブランチの場合に“5A”以外の値に書き換えることが得策であるという事情を考慮すれば、レジスタFKEYを利用することが、ハードウェアリソースと処理負担の両面において経済的である。

#### 【0111】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0112】

例えば、消去及び書込み可能な不揮発性メモリは2値のフラッシュメモリに限定されない。多値フラッシュメモリ、例えば、1個のフラッシュメモリセルに2ビット以上の記憶情報を保持させることが可能な多値フラッシュメモリであってもよい。すなわち、1個のフラッシュメモリセルは、情報記憶に際して複数ビットの書き込みデータで指定される4種類以上の閾値電圧の中の一つの閾値電圧

に設定され、情報読み出しに際して閾値電圧の状態を対応する複数ビットの記憶情報として出力する、1個のフラッシュメモリセルの記憶情報を複数ビット化したメモリである。ここでは、一つのフラッシュメモリセルに2ビットの情報を書き込むことができ、かつその情報を読み出すことができるフラッシュメモリを一例とする。このようなフラッシュメモリが実現しようとする多値情報記憶技術において、一つのメモリセルの情報記憶状態は、例えば消去状態（“11”）、第1の書き込み状態（“10”）、第2の書き込み状態（“00”）、第3の書き込み状態（“01”）の中から選ばれた一つの状態とされる。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。即ち、2ビットのデータを一つのメモリセルで記憶する。

## 【0113】

また、フラッシュメモリセルはフローティングゲートとコントロールゲートの縦積み構造に限定されず、MOSトランジスタのゲート電極をフローティングゲート電極とし当該ゲート電極を延在させて形成したMOSゲート容量を介してチャネル領域をコントロールゲートに用いるようなデバイス構造などを採用してもよい。また、不揮発性記憶素子はフラッシュメモリに限定されず、MNOS（メタル・ナイトライド・オキサイド・セミコンダクタ）トランジスタを記憶素子とするEEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）のような不揮発性メモリ、或いは強誘電体メモリ等であってもよい。

## 【0114】

また、マイクロコンピュータがオンチップで備える回路モジュールは上記の例に限定されず、適宜変更可能である。

## 【0115】

消去及び書き込み制御プログラムをブートマットに初期的に保持させる構成に限定されない。システムボードからダウンロードする構成を採用してもよい。また、各種レジスタ手段はフラッシュメモリ内蔵の周辺レジスタであっても、CPU内蔵の汎用レジスタであっても、或は、SRAMなどのメモリで構成されるメモリマップドI/Oレジスタであってもよい。

## 【0116】

前記ユーザブランチは、レジスタFUBRA（R5）の設定値に基づいて、ジャンプサブルーチン命令のジャンプ先コードを予め書き換える初期化処理を行なってから、其のプログラムを実行するものとして説明した。これに代えて、ジャンプサブルーチン命令でそのレジスタFUBRA（R5）を直接参照して分岐するようにしてもよい。この場合には、その消去及び書込み制御プログラムのコンパイラが一つの関数内で引数として利用する事ができる汎用レジスタ数の制限範囲内で汎用レジスタR5を参照できなければならない。

## 【0117】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

## 【0118】

すなわち、高電圧パルスの印可及びデータベリファイ等のループ中に、ユーザが指定したアドレスのサブルーチンにジャンプするプログラムを予めプログラミングし、例えば、プログラムを実行する時に、ユーザが引数として、ジャンプ先のアドレスを渡しておけば、そのアドレスをジャンプサブルーチン命令で参照することができるから、不揮発性メモリに対する消去／書込み中であっても、ユーザの制御プログラムに、ある一定間隔で制御を戻すことができる。したがって、消去／書込み処理時間よりも短い間隔で発生する事象に応答することが必要なシステムにおいても、その処理中に、必要に応じてオンチップ不揮発性メモリの消去／書込みを行なうことができる。

## 【図面の簡単な説明】

## 【図1】

本発明の一例に係るマイクロコンピュータのブロック図である。

## 【図2】

CPU2の具体例を示すブロック図である。

## 【図3】

フラッシュメモリのメモリマップを例示する説明図である。

【図4】

フラッシュメモリのメモリマップ毎の各動作モードによるアクセス態様を例示する説明図である。

【図5】

CPUが実行するプログラムの所在と実行による作用を模式的に示す説明図である。

【図6】

フラッシュメモリの消去及び書き込みプロテクトのための論理構成を例示する論理回路図である。

【図7】

CPUのオペレーションがユーザマップとユーザブートマップとの間で切換えられるときの状態遷移図である。

【図8】

プログラムモード判定処理のフローチャートである。

【図9】

ライターモード処理のフローチャートである。

【図10】

ブートモード処理のフローチャートである。

【図11】

ユーザブートモード処理のフローチャートである。

【図12】

ユーザモード処理のフローチャートである。

【図13】

図11のステップS42及び図12のステップS54の書き込み／消去処理のフローチャートである。

【図14】

図13の書き込み処理に着目した概略フローチャートである。

【図15】

RAMへの転送処理(T1)の詳細を例示するフローチャートである。

【図 16】

書き込み初期化処理（T2）の詳細を例示するフローチャートである。

【図 17】

書き込み実行（T3）の詳細を例示するフローチャートである。

【図 18】

図 16 の書き込み初期化時における内蔵 RAM、書き込みプログラム、初期化処理、レジスタ（R4，R5）との間のデータ接続関係を例示する説明図である。

【図 19】

書き込み時における RAM、汎用レジスタ（R4，R5）、書き込みプログラムとの間のデータ接続関係を例示する説明図である。

【図 20】

図 17 のステップ T35 に対応する書き込みプログラムの処理フローである。

【図 21】

図 13 の消去処理に着目した概略フローチャートである。

【図 22】

消去初期化処理（T6）の詳細を例示するフローチャートである。

【図 23】

消去実行（T7）の詳細を例示するフローチャートである。

【図 24】

図 22 の消去初期化時における内蔵 RAM、消去プログラム、初期化処理、レジスタ（R4，R5）との間のデータ接続関係を例示する説明図である。

【図 25】

消去時における RAM、汎用レジスタ（R4，R5）、消去プログラムとの間のデータ接続関係を例示する説明図である。

【図 26】

図 23 のステップ T74 に対応する消去プログラムの処理フローである。

【図 27】

ユーザブランチ先で CPU が暴走してフラッシュメモリの記憶情報が破壊さ

れる事態を抑止可能にするユーザブランチ処理のフローチャートである。

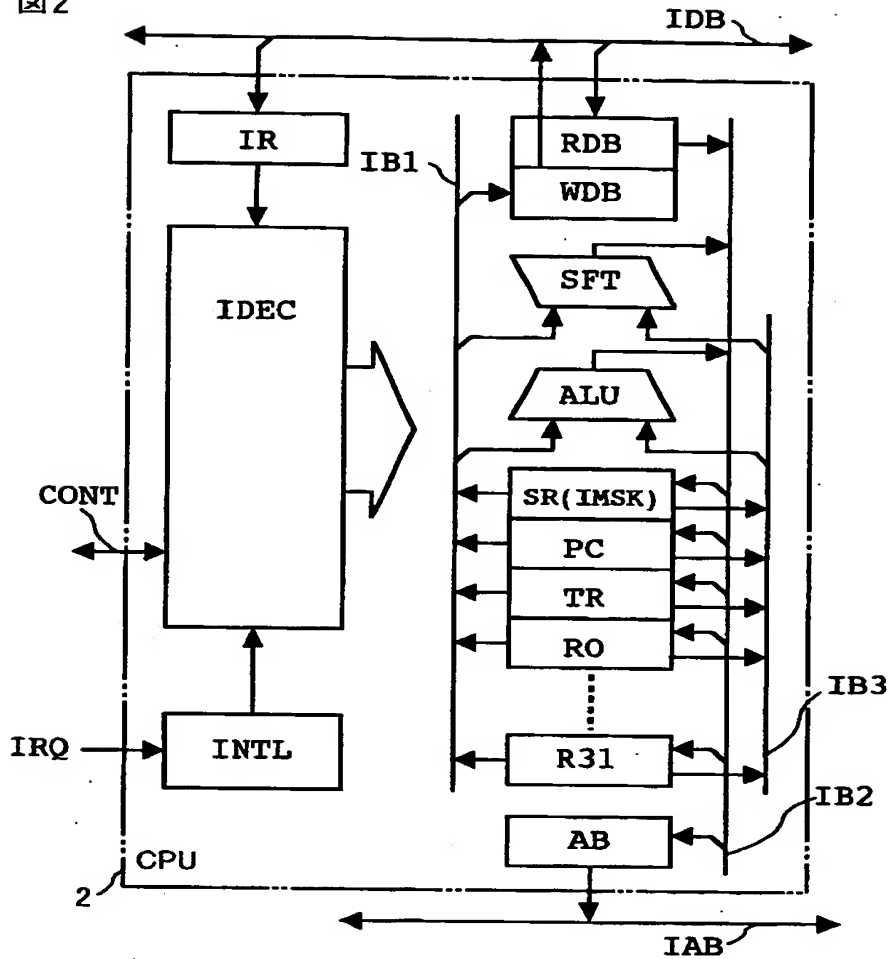
【符号の説明】

- 1 マイクロコンピュータ
- 2 CPU
- 3 RAM
- 4 バスステートコントローラ
- 5 フラッシュメモリモジュール
- 6 フラッシュコントロールロジック
- 9 割込みコントローラ
- RES リセット信号
- 13 フラッシュメモリ
- 14 モード信号
- 15 システムコントローラ
- 20 メモリセルアレイ
- FMATS 制御レジスタ
- FKEY 制御レジスタ
- FCCS 制御レジスタ
- SCO 制御ビット
- Rmat リペア及びトリミングマット
- Tmat ブートマット
- Umat ユーザブートマット
- Mmat ユーザマット
- Pfwe 外部端子



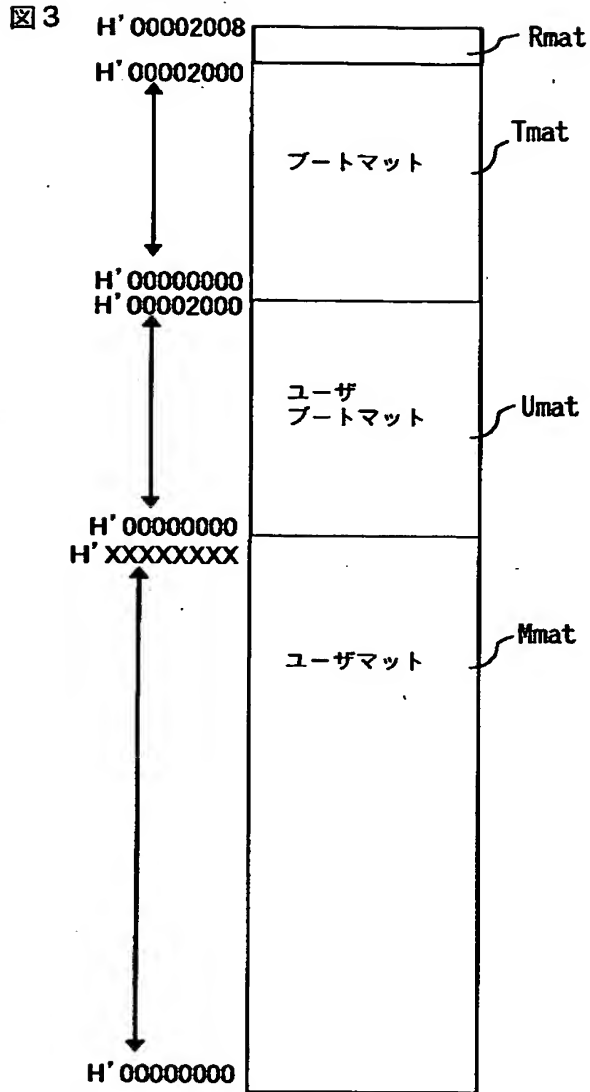
【図2】

図2





【図 3】



【図4】

図4

動作モード マット種類	ブートモード			ライターモード		
	アクセス	書き込み	消去	アクセス	書き込み	消去
ユーザマット(Mmat)	○	○	○	○	○	○
ユーザブートマット(Umat)	○	○	○	○	○	○
ブートマット(Tmat)	△	×	×	△	×	×
リペア及びトリミング(Rmat)	×	×	×	×	×	×

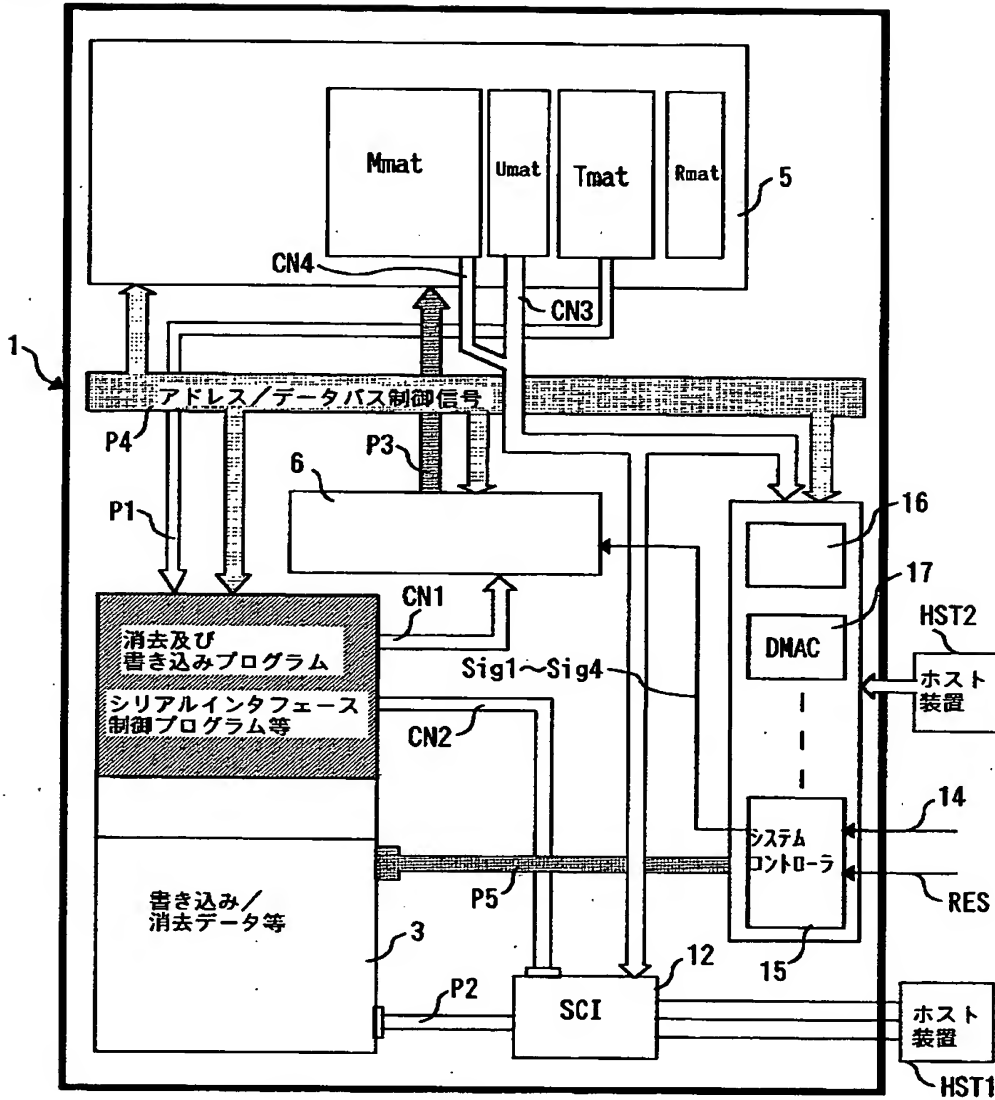
(A)

動作モード マット種類	ユーザブートモード			ユーザモード		
	アクセス	書き込み	消去	アクセス	書き込み	消去
ユーザマット(Mmat)	○	○	○	○	○	○
ユーザブートマット(Umat)	○	×	×	○	×	×
ブートマット(Tmat)	△	×	×	△	×	×
リペア及びトリミング(Rmat)	×	×	×	×	×	×

(B)

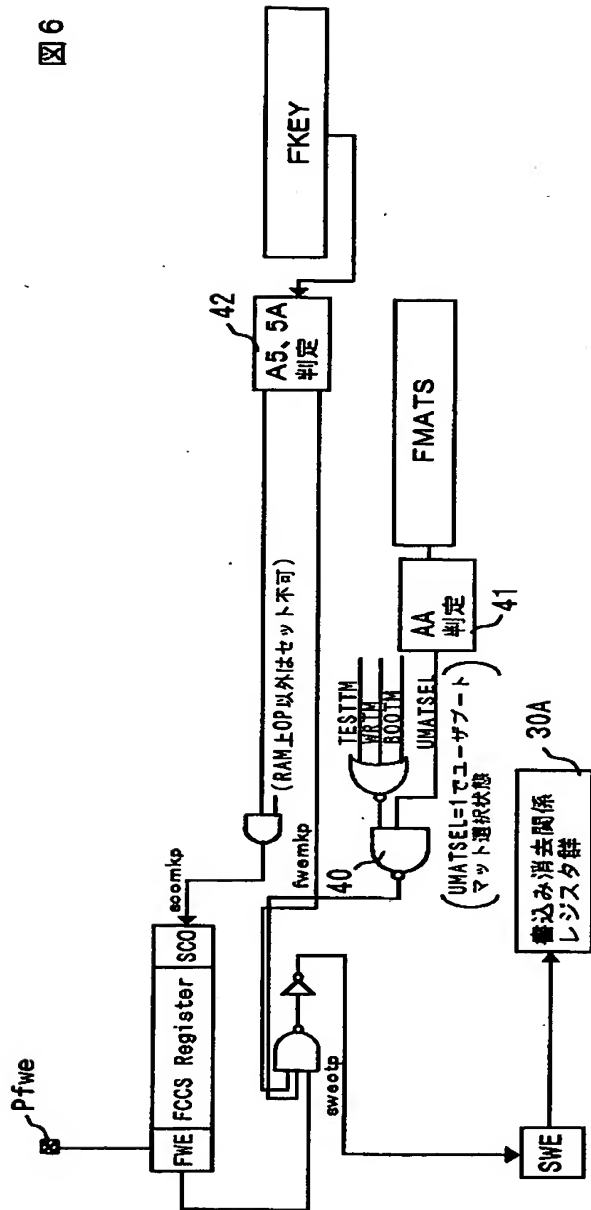
【図5】

図5



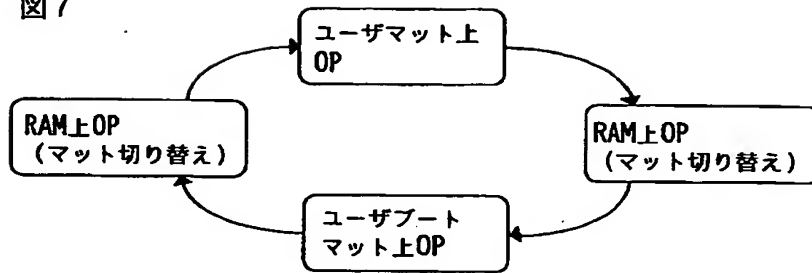
【図6】

図6



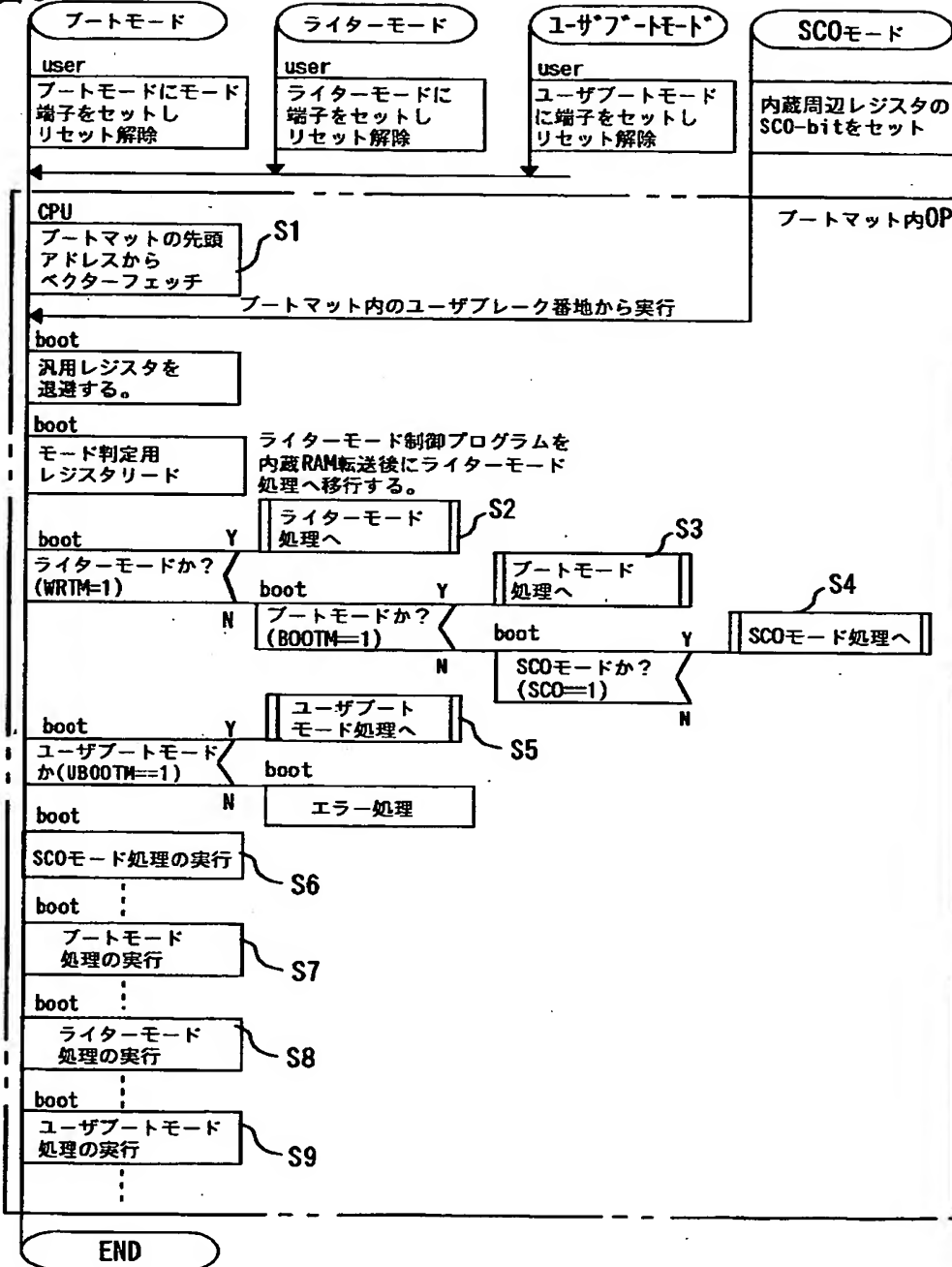
【図 7】

図 7



【図 8】

図 8



【図 9】

図 9

ライターモード処理

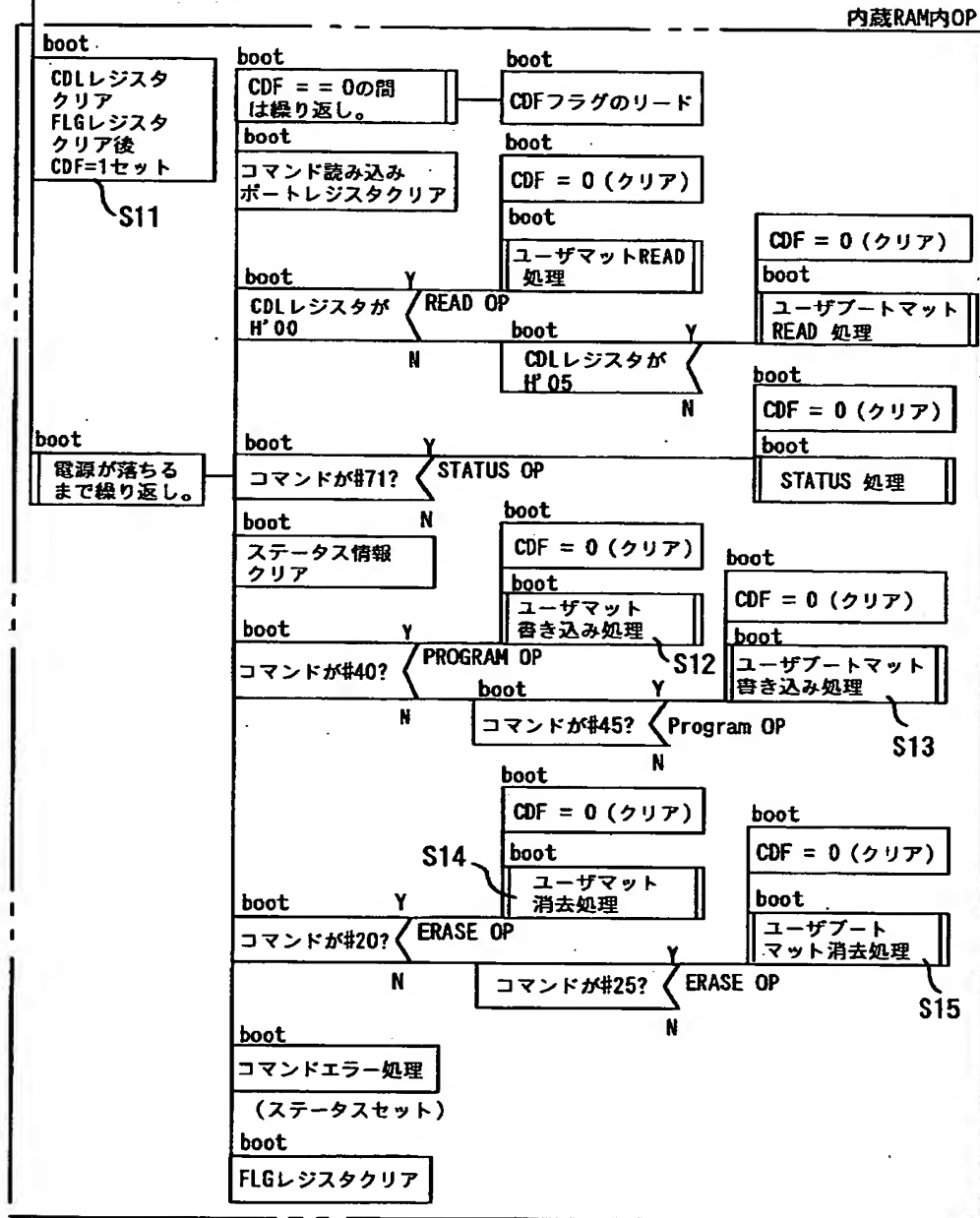
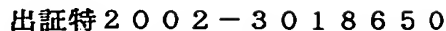




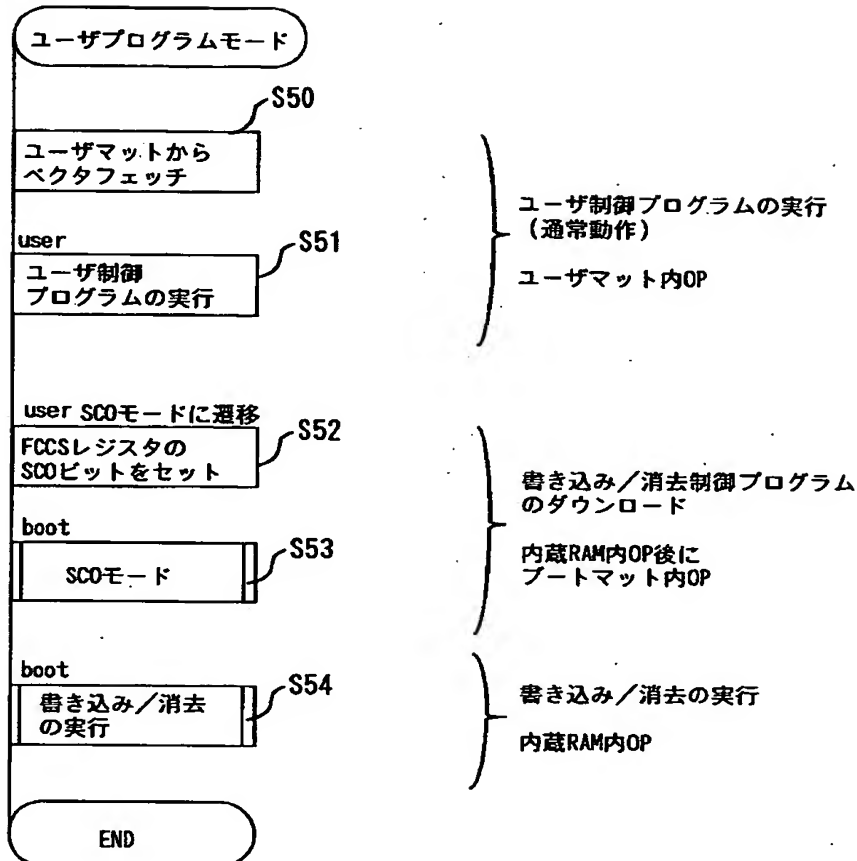


图 1-1



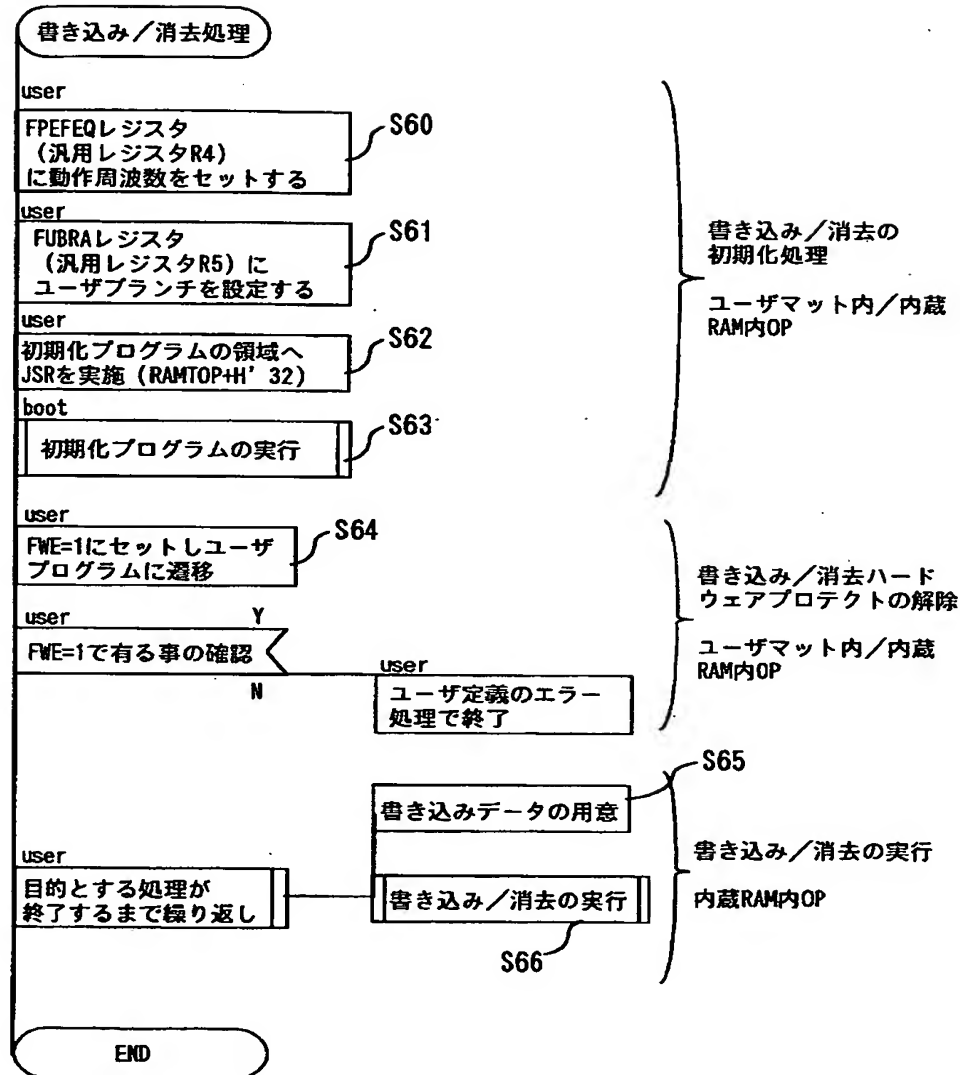
【図12】

図12



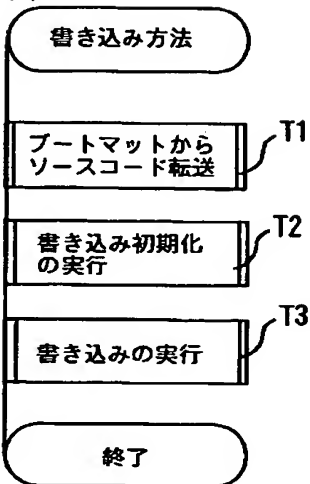
【図 13】

图 13



【図 14】

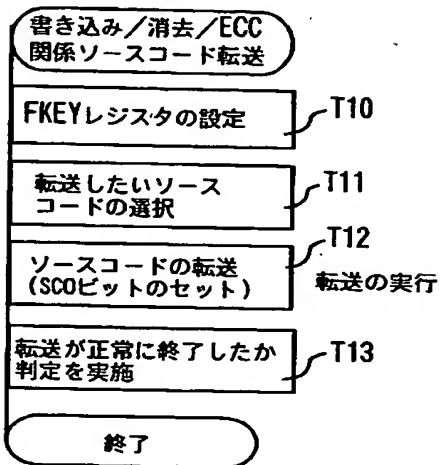
図 14



(書き込み概略フロー)

【図 15】

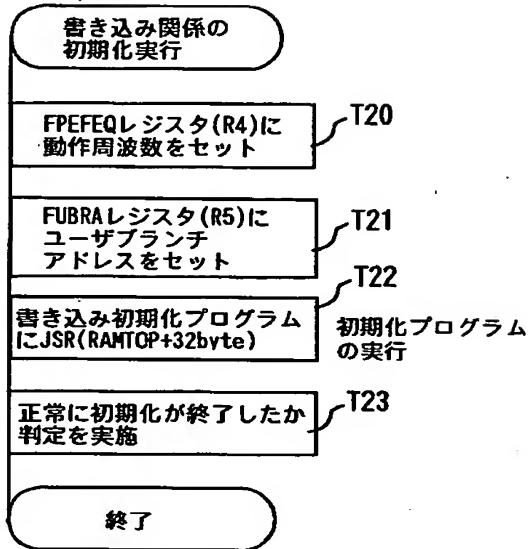
図 15



(ソースコード転送フロー)

【図 1 6】

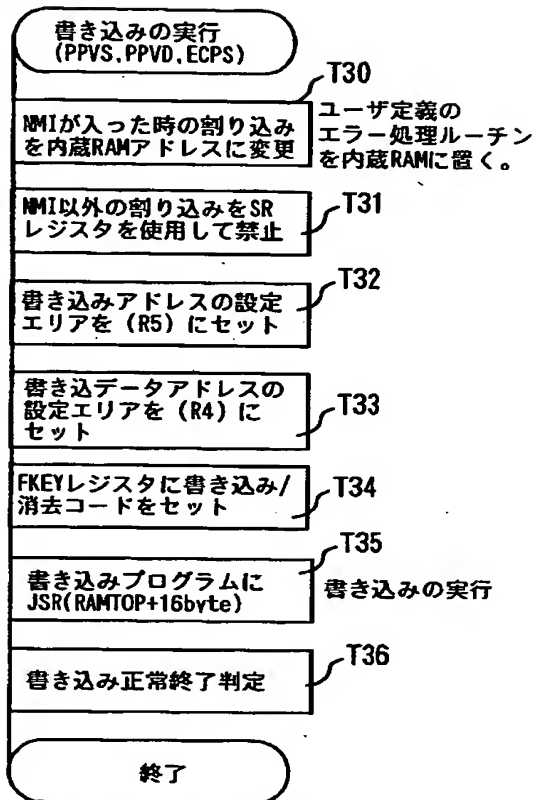
図 1 6



(書き込み初期化実行フロー)

【図 1 7】

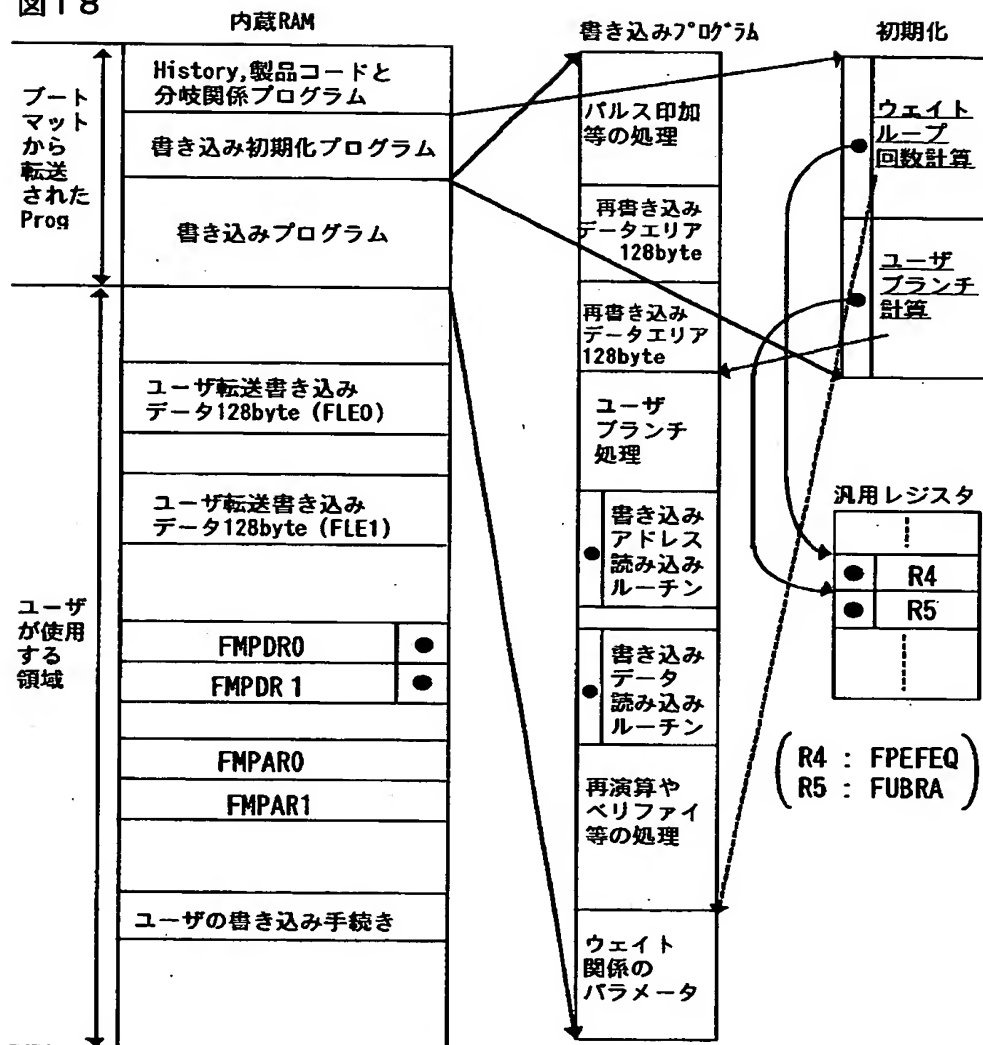
図 1 7



(書き込みプログラム実行フロー)

【図18】

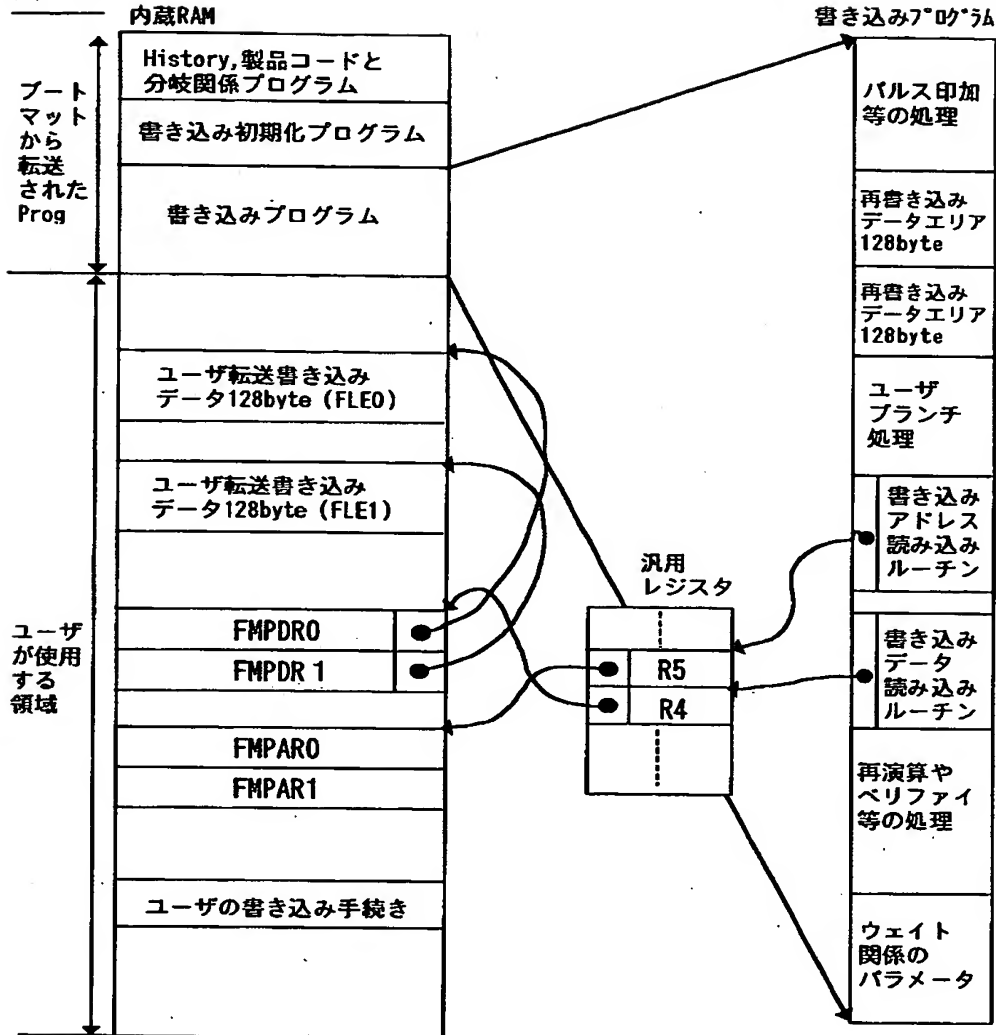
図18



(書き込み初期化時のデータ接続関係)

【図 19】

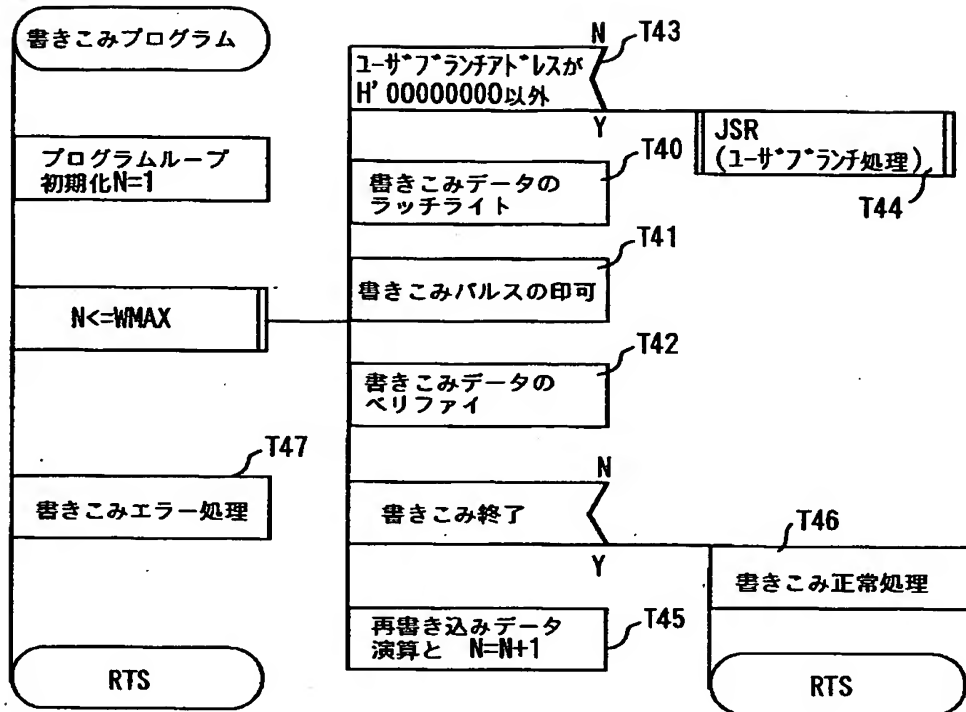
図 19





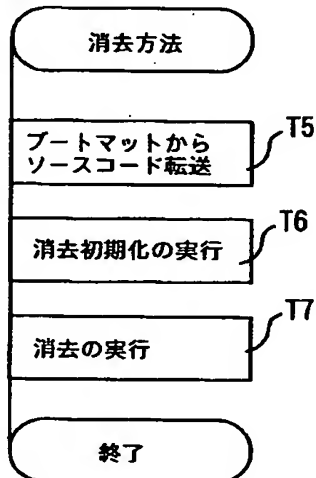
【図 20】

図 20



【図 21】

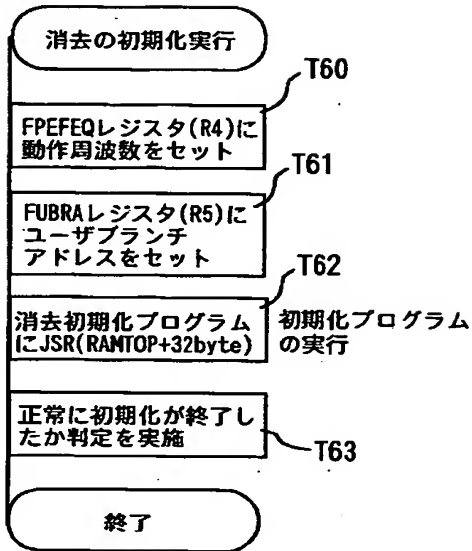
図 21



(消去概略フロー)

【図 2 2】

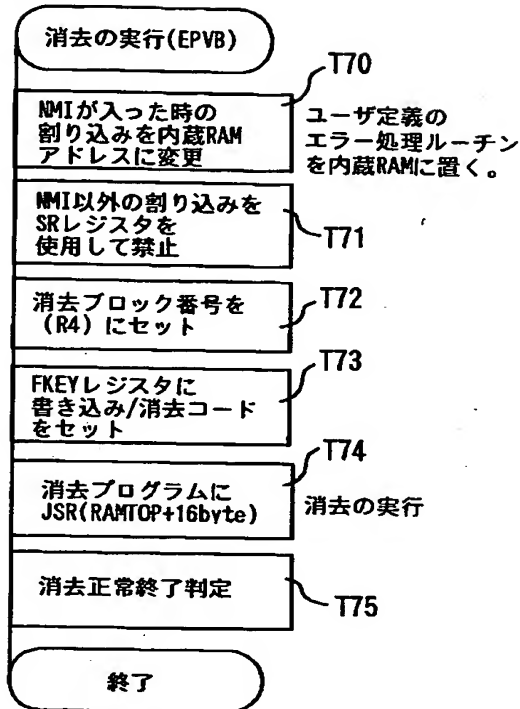
図 2 2



(消去初期化実行フロー)

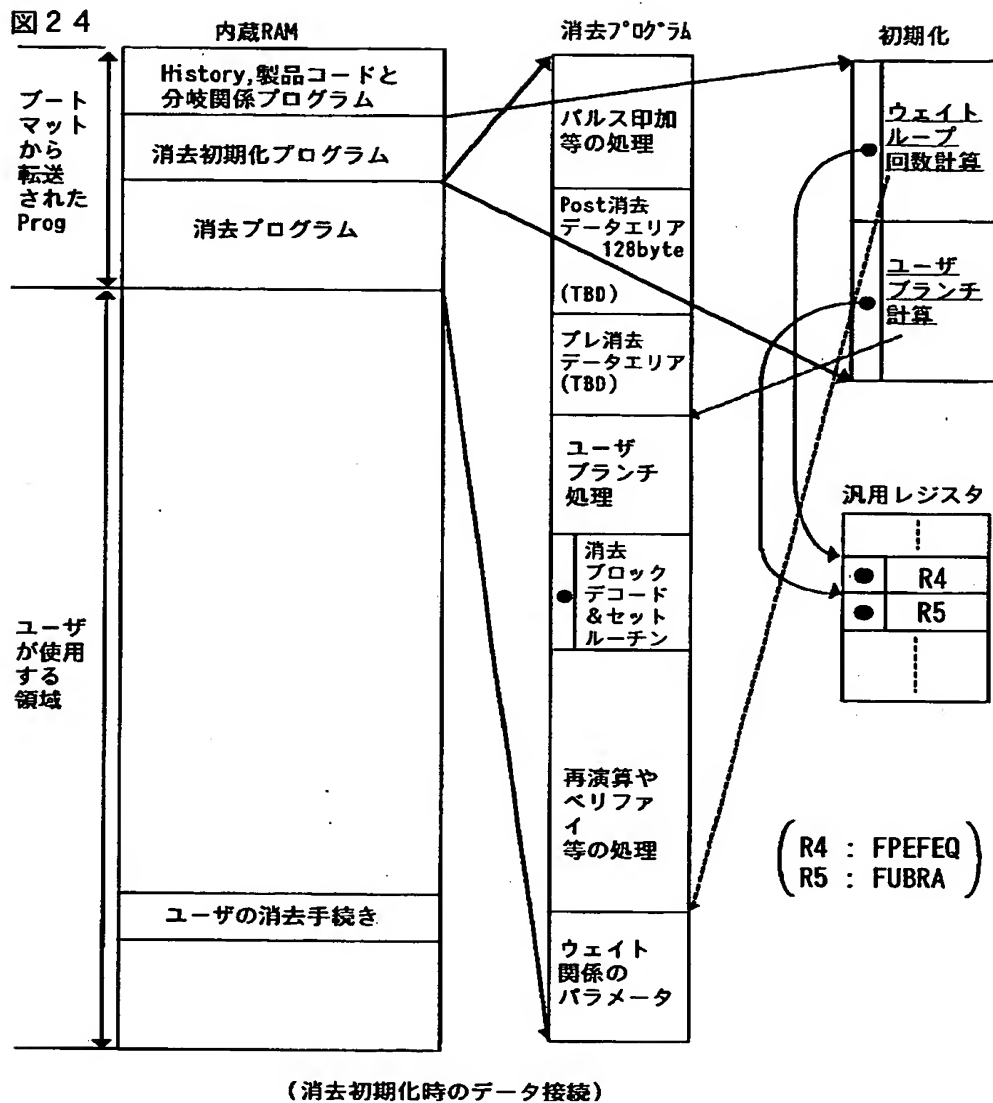
【図 2 3】

図 2 3



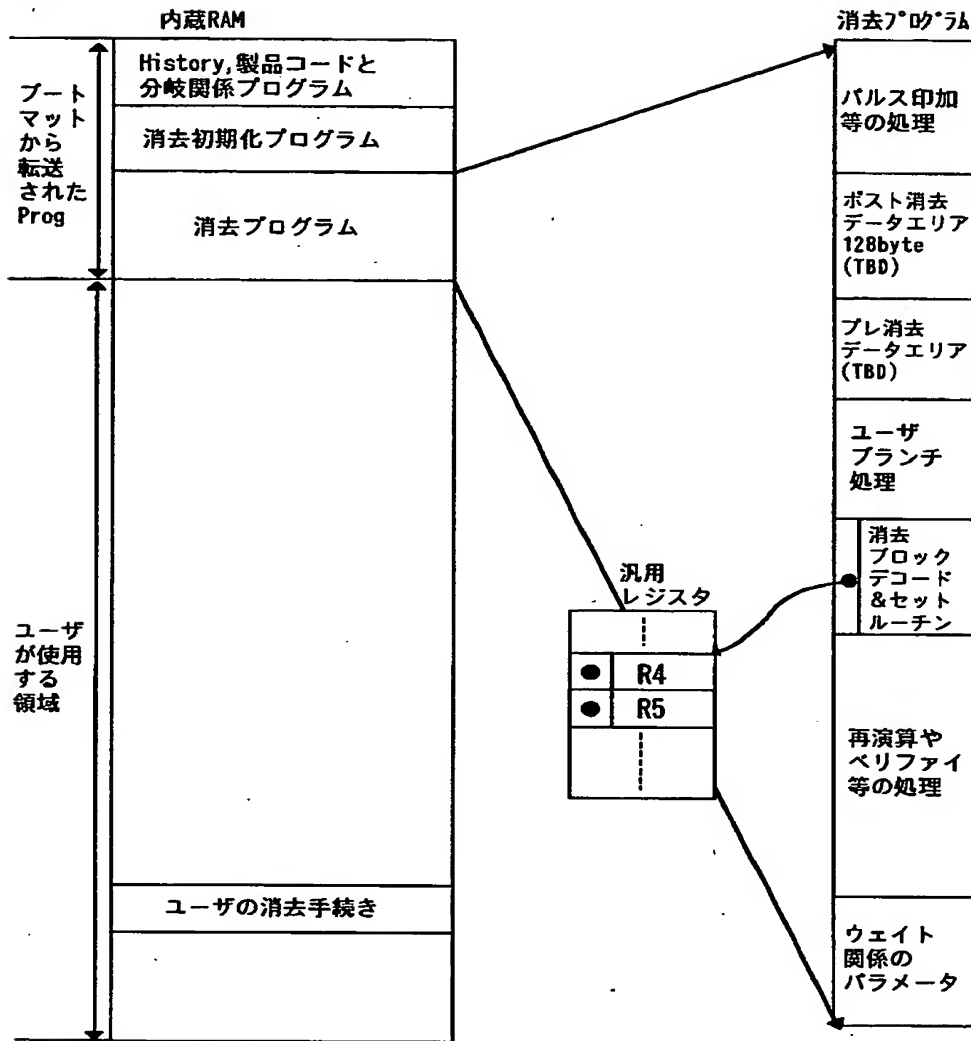
(消去プログラム(EPVB)の実行フロー)

【图 24】



【図 25】

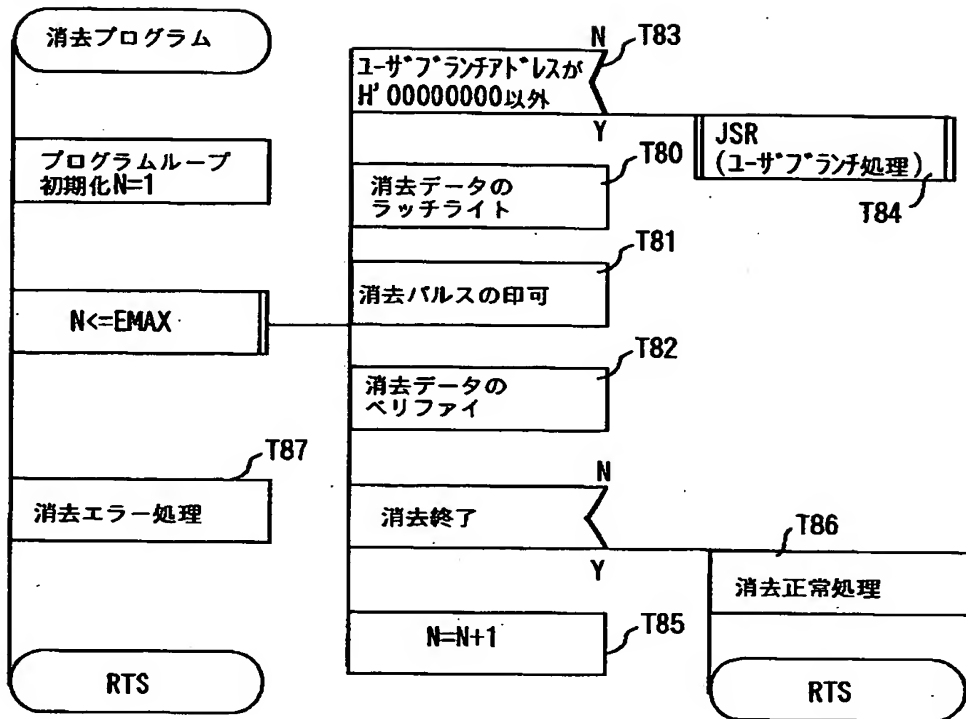
図 25



(消去時のデータ接続)

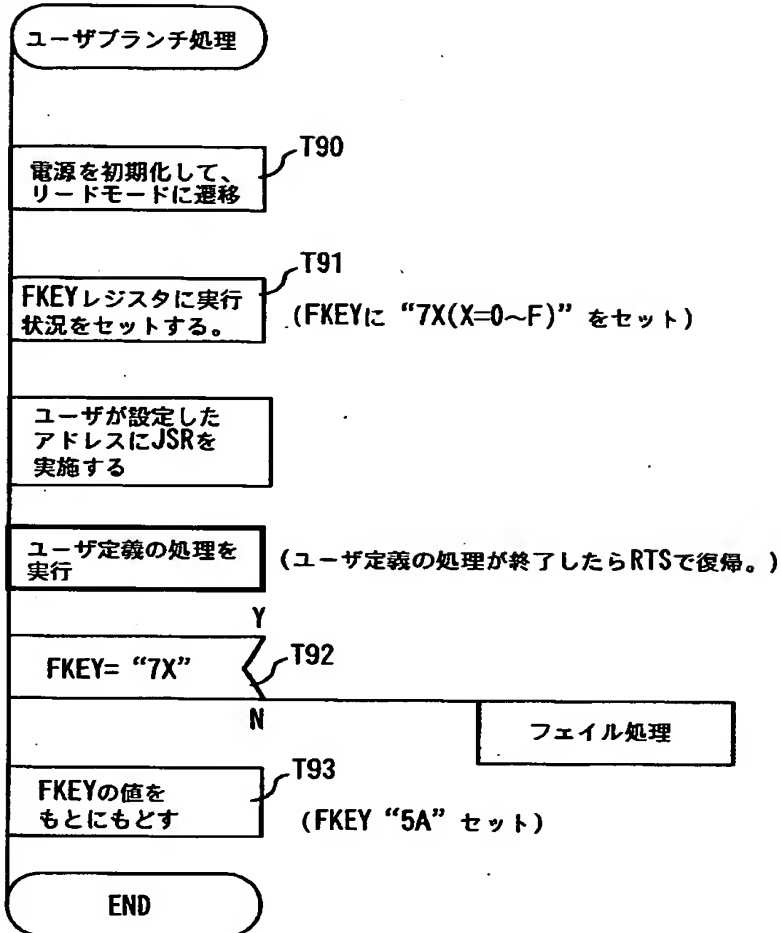
【図26】

図26



【図 27】

図 27



【書類名】 要約書

【要約】

【課題】 消去／書込み処理時間よりも短い間隔で発生する事象に応答することが必要なシステムにおいても、その処理中に、必要に応じてオンチップ不揮発性メモリの消去／書込みを行なうことができるマイクロコンピュータを提供する。

【解決手段】 電氣的に消去及び書き込み可能な不揮発性メモリ（１３）に対する消去及び書き込み制御プログラムは、例えば高電圧パルスの印可及びデータベリファイ等のループを含んで構成される。このループの中に、ユーザが指定したアドレスのサブルーチンにジャンプするプログラムを予めプログラミングしておけば、ＣＰＵ（２）による処理をユーザが指定したアドレスのサブルーチンに一時的にジャンプさせることが可能になる。したがって、一定期間毎に内外の事象を確認する必要があるシステム、或は学習機能付きのシステム等に対して、ユーザのプログラム実行中に消去及び書込みを実行することが可能になる。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号

[000233594]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

北海道亀田郡七飯町字中島145番地

氏 名

日立北海セミコンダクタ株式会社